

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-308334
(P2001-308334A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)	
H 0 1 L	29/786	H 0 1 L	21/20	5 F 0 5 2
	21/336		29/78	6 2 7 C
	21/20			5 F 1 1 0
				6 2 7 C
				6 2 7 Z

審査請求 未請求 請求項の数20 O L (全 18 頁)

(21) 出願番号 特願2000-120867 (P2000-120867)

(22) 出願日 平成12年4月21日 (2000.4.21)

(71) 出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

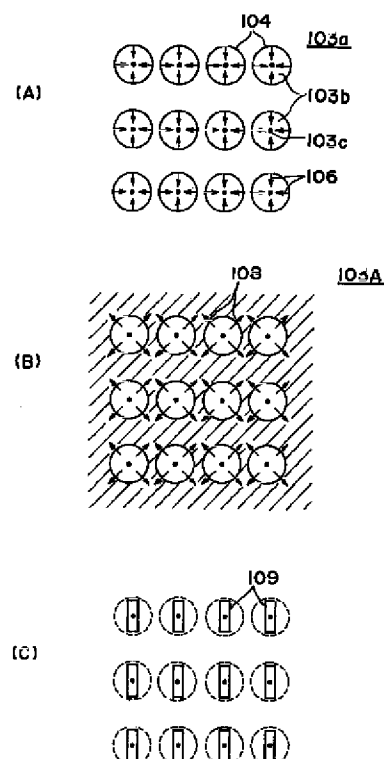
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 特性ばらつきが少なく、安定した特性を有する高性能な半導体装置を提供すると共に、大面積基板にも対応可能な高歩留りの安定した製造プロセスが可能な生産性の高い半導体装置の製造方法を提供する。

【解決手段】 T F Tの活性領域のチャネル領域となる結晶性ケイ素膜103bは、ガラス基板上に形成された非晶質ケイ素膜にマスク104を用いてその結晶成長を促進するNiを選択的に導入した後、加熱処理によって、ガラス基板の表面に沿って横方向に結晶成長させた複数の柱状結晶からなる。上記T F Tのチャネル領域は、複数の異なる面方位からなる柱状結晶群により構成され、各T F T間の特性が均一化される。



【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置であって、

上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させた複数の柱状結晶からなり、

上記素子の活性領域におけるチャネル領域は、異なる面方位からなる上記柱状結晶群により構成されていることを特徴とする半導体装置。

【請求項2】 絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置であって、

上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させたものであり、上記素子の活性領域におけるチャネル領域は、2以上の異なる方向より結晶成長させた複数の結晶成長領域により構成されていることを特徴とする半導体装置。

【請求項3】 絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置であって、

上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させたものであり、上記素子の活性領域におけるチャネル領域は、2以上の異なる方向より結晶成長させた複数の結晶成長領域がぶつかり合う境界部を1以上含むことを特徴とする半導体装置。

【請求項4】 請求項3に記載の半導体装置であって、上記チャネル領域の中央部に、上記複数の結晶成長領域がぶつかり合って収束していることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか1つに記載の半導体装置において、

上記非晶質ケイ素膜の結晶化を促進する触媒元素がNiであることを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれか1つに記載の半導体装置において、

上記活性領域中におけるNiの濃度が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項7】 絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置の製造方法であって、

上記絶縁表面を有する基板上に非晶質ケイ素膜を形成する工程と、

上記非晶質ケイ素膜の一部に、上記素子の活性領域となる領域を囲むように、その非晶質ケイ素膜を結晶化を促

進する触媒元素を選択的に導入する工程と、

上記触媒元素を選択的に導入した後、加熱処理によって、上記触媒元素が導入された領域から上記触媒元素が導入されていない領域に上記基板の絶縁表面に沿って横方向に結晶成長させる工程と、

上記加熱処理によって結晶化した結晶性ケイ素膜のうちの上記横方向に結晶成長させた領域に、少なくとも上記素子の活性領域におけるチャネル領域を配置するように、上記結晶性ケイ素膜をパターンニングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法において、

上記触媒元素が導入された領域から生じる横方向の結晶成長は、上記素子のチャネル領域となる領域の中央部に向かって進み、

上記チャネル領域の中央部において、異なる方向から結晶成長させた横方向の結晶成長領域がぶつかり合うように収束させたことを特徴とする半導体装置の製造方法。

【請求項9】 請求項7または8に記載の半導体装置の製造方法において、

上記非晶質ケイ素膜の一部に上記触媒元素を選択的に導入する工程において、

上記非晶質ケイ素膜上にマスクを設け、上記マスクに覆われていない上記非晶質ケイ素膜の領域に上記触媒元素を添加することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法において、

上記マスクは正多角形状であって、その正多角形状のマスクの中心部が上記素子のチャネル領域となる領域内に配置されることを特徴とする半導体装置の製造方法。

【請求項11】 請求項10に記載の半導体装置の製造方法において、

上記正多角形状のマスクの各辺側からそれぞれ上記マスクの中心部の下側に向かって結晶成長させた結晶成長領域がぶつかり合って収束することにより形成される境界部が、上記素子のチャネル領域となる領域内に含まれることを特徴とする半導体装置の製造方法。

【請求項12】 請求項10または11に記載の半導体装置の製造方法において、

上記マスクが正方形形状であることを特徴とする半導体装置の製造方法。

【請求項13】 請求項9に記載の半導体装置の製造方法において、

上記マスクは円形状であって、その円形状のマスクの中心部が上記素子のチャネル領域となる領域内に配置されることを特徴とする半導体装置の製造方法。

【請求項14】 請求項13に記載の半導体装置の製造方法において、

上記円形状のマスクの円周部より上記マスクの中心の下

側領域に向かって結晶成長させた結晶成長領域がぶつかり合って収束することにより形成される境界部が、上記素子のチャネル領域となる領域内に含まれることを特徴とする半導体装置の製造方法。

【請求項15】 請求項7乃至14のいずれか1つに記載の半導体装置の製造方法において、

上記基板の絶縁表面に沿って横方向に結晶成長させた結晶性ケイ素膜のうちの少なくとも上記素子のチャネル領域となる領域以外の領域に、5族Bから選ばれた元素を導入する工程と、

上記5族Bから選ばれた元素を導入した後、加熱処理によって、上記5族Bから選ばれた元素が導入された上記結晶性ケイ素膜の領域に上記触媒元素を移動させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15に記載の半導体装置の製造方法において、

上記5族Bから選ばれた元素を導入する工程において、上記非晶質ケイ素膜の一部に上記触媒元素を選択的に導入する工程で用いたマスクを用いることを特徴とする半導体装置の製造方法。

【請求項17】 請求項15または16に記載の半導体装置の製造方法において、

上記5族Bから選ばれた元素として、P、N、As、SbおよびBiのうちの少なくとも1つの元素を用いたことを特徴とする半導体装置の製造方法。

【請求項18】 請求項7乃至17のいずれか1つに記載の半導体装置の製造方法において、

触媒元素として、Ni、Co、Fe、Pd、Pt、CuおよびAuのうちの少なくとも1つの元素を用いたことを特徴とする半導体装置の製造方法。

【請求項19】 請求項7乃至18のいずれか1つに記載の半導体装置の製造方法において、

上記結晶性ケイ素膜をパターンニングして、上記素子の活性領域を形成する工程と、

上記パターンニングの工程の後、酸化雰囲気中で加熱処理によって、上記活性領域表面を酸化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項20】 請求項7乃至18のいずれか1つに記載の半導体装置の製造方法において、

上記結晶性ケイ素膜をパターンニングして、上記素子の活性領域を形成する工程と、

上記パターンニングの工程の後、上記活性領域に強光を照射する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置およびその製造方法に関し、特に絶縁表面を有する基板上に設けられた薄膜トランジスタ

(TFT)を用いたアクティブマトリクス型液晶表示装置、密着型イメージセンサー、三次元IC等の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、大型で高解像度の液晶表示装置、高速で高解像度の密着型イメージセンサー、三次元IC等への実現に向けて、ガラス等の絶縁基板上や絶縁膜上に高性能な素子を形成する試みがなされている。これらの装置に用いられる素子には、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体としては、非晶質ケイ素半導体(a-Si)からなるものと結晶性を有するケイ素半導体からなるものの2つに大別される。

【0003】上記非晶質ケイ素半導体は、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の物性が結晶性を有するケイ素半導体に比べて劣っているため、より高速特性を得るには、結晶性を有するケイ素半導体からなる半導体装置の作製方法の確立が強く求められている。なお、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素等が知られている。

【0004】これら結晶性を有する薄膜状のケイ素半導体を得る方法としては、

- (1) 成膜時に結晶性を有する膜を直接成膜する方法
- (2) 非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有する膜を形成する方法
- (3) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有する膜を形成する方法等が知られている。しかしながら、(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。

【0005】また、(2)の方法では、溶融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、比較的高品質な結晶性ケイ素膜が得られるが、現在最も一般的に使用されているエキシマレーザーを例にとると、未だ十分な安定性のものが得られておらず、素子としての性能面でも十分ではない。

【0006】また、(3)の方法は、(1)、(2)の方法と比較すると、基板内の均一性、安定性において有利であるが、600℃で30時間程の長時間にわたる加熱処理が必要であり、処理時間が長く、スループットが低いという問題がある。また、この(3)の方法では、結晶構造が双晶構造となるため、一つの結晶粒は数 μm と比較的大きいが、結晶粒内に多数の双晶欠陥を含み、上記(2)の方法に比べて結晶性は劣る。結晶性を向上させる手段としては、さらに1000℃程度で酸素雰囲気にて加熱処理を施すような手法も用いられているが、このときには安価なガラス基板が使用できるプロセスではなく、素

子特性としてもTFTにおいて電界効果移動度 $100\text{ cm}^2/\text{Vs}$ 程度の低い特性しか得られていない。

【0007】これらの方法に対して、上記(3)の方法を改善し、高品質な結晶性ケイ素膜を得る方法が、

① 特開平10-199805号公報

② 特開平10-200113号公報

で提案されている。この①、②の方法では、非晶質ケイ素膜の結晶化を助長する触媒元素を利用することで、加熱温度の低温化および処理時間の短縮化を図ると共に、結晶性の向上を図っている。具体的には、非晶質ケイ素膜の表面にニッケルやパラジウム等の金属元素を微量に導入した後に加熱することにより低温結晶化を行うものである。

【0008】この低温結晶化のメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。そういった意味で以後これらの金属元素を触媒元素と呼ぶ。これらの触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長法(上記(3)の方法)で結晶化した結晶性ケイ素膜の一つの粒内が双晶構造であり、多数の結晶欠陥を有しているのに対して、その粒内は何本もの柱状結晶ネットワークで構成されており、それぞれの柱状結晶内部はほぼ理想的な単結晶状態となっている。

【0009】さらに、上記①、②の方法では、非晶質ケイ素膜の一部に選択的に触媒元素を導入して加熱することで、他の部分を非晶質ケイ素膜の状態として残したまま、選択的に触媒元素が導入された領域のみを結晶化し、さらに加熱時間を延長することで、その導入領域から横方向(基板と平行な方向)に結晶成長を行わせている。この横方向結晶成長領域の内部では、成長方向が略一方向に揃った柱状結晶がひしめき合っており、触媒元素が直接導入されてランダムに結晶核の発生が起こった領域に比べて、結晶性がさらに良好な領域となっている。よって、この横方向結晶成長領域の結晶性ケイ素膜を半導体装置の活性領域に用いることにより、素子の高性能化が行える。

【0010】上記①、②の方法は、このときの非晶質ケイ素膜への触媒元素の選択的な導入方法に関し、その導入パターンに注目することで、横方向に結晶成長させる領域の成長方向をより一方向に近づけ、横方向に結晶成長させた領域の結晶性の向上を目指している。

【0011】具体的に、上記①では、触媒元素導入領域を、素子サイズに比べて非常に長い線状とし、その線状領域をストライプ状態に並べるよう配置している。これにより、線状領域に導入された触媒元素は、その線状領域に対して垂直方向に結晶成長を起こし(すなわち、成長方向が四方八方へと発散せず)、その横方向に結晶成長した領域は、その結晶成長方向がほぼ一方向に揃った高品質な結晶性ケイ素膜となる。さらに2本の線状領域

で挟まれた領域では、横方向の結晶成長が安定するため、この領域の結晶性ケイ素膜を用いて、半導体装置の活性領域を形成している。そして、素子の高性能化と作成プロセスの安定化とを図っている。

【0012】また、上記②も同様に、触媒元素の導入領域を線状として、横方向結晶成長領域における結晶成長の一方向性を強めるものであり、半導体装置の高性能化を目的としている。特に、上記②では、素子領域と触媒元素の線状導入領域との位置関係を限定し、結晶成長の一方向性が良好な領域を用いて、半導体装置の活性領域を形成するようにしている。

【0013】このように、触媒元素を選択的に導入することにより非晶質ケイ素膜を横方向に結晶化する方法は、加熱温度の低温化や加熱時間の短縮化が図れ、さらに結晶化後に得られるケイ素膜の結晶性は、他の結晶化方法に比べ明らかに優れている。

【0014】

【発明が解決しようとする課題】しかしながら、実際に、上記①、②の技術を用いてTFTを作成した場合、一般的にばらつきが小さいと思われている固相成長技術を応用して作成されているにもかかわらず、素子特性のばらつきが比較的大きいことがわかってきた。特に、数十 μm 程度の間隔で隣接しているようなTFTの特性ばらつきが大きく、そのばらつきに関しては、ばらつきが問題となっているレーザー光を用い結晶化する場合と比べてもほぼ同程度であることがわかった。ただし、レーザー光を用いて結晶化する方法では、さらに基板内におけるマクロな基板内分布も加わるため、全体的に見るとばらつきはより大きい。

【0015】このことは、ミクロ的に見て、数十 μm のスケールでTFTのチャネル領域を構成する結晶性ケイ素膜の状態が大きく異なっていることを予感させる。本出願人は、結晶性ケイ素薄膜の最新の評価手法であるEBSP(Electron Backscattering Pattern)法を導入し、上記2つの①、②の技術を用いて作成された結晶性ケイ素膜に対して、結晶方位の二次元的なマッピングを行った。図9はその結果を示しており、触媒元素が導入された線状領域601に対して、その線状領域601で挟まれた横成長領域602は、線状領域601に対してほぼ垂直方向に向き、数十 μm 幅とサイズの結晶方位が大きく異なる複数の領域(以下、ドメインという)605が互いに隣接しあって構成されていることが初めて明らかとなった。この横成長領域602内の点線で分けられた各領域が、結晶方位が異なるドメイン605である。ここで、図9において、603は、横方向の結晶成長における成長方向であり、604は、隣り合う線状導入領域からそれぞれ結晶成長させた横成長領域がぶつかり合って形成された結晶成長の境界である。このように、触媒元素による横方向の結晶成長は、一様な結晶状態にはなっておらず、結晶方位の異なる数十 μm 幅という大

きなサイズの様々な柱状結晶(ドメイン605)群が互いに隣接しあっていることがわかった。また、その横方向の成長過程において、隣同士のドメイン605の競合が起こり、優勢なドメインがより幅を広げて成長していることが判明した。

【0016】実際のTFETにおけるチャネル領域のサイズは、小さなもので数 μm から数十 μm であり、これに比べて、上記の結晶方位がほぼ揃った領域(ドメイン605)の大きさは、数十 μm となっている。したがって、数十 μm という近い距離で並んでいるTFETにおいて、それぞれのチャネル領域がどのドメインで構成されるか、ドメイン境界が含まれているかいないか等の違いが生じることになる。したがって、TFETのチャネル領域を構成する結晶性ケイ素膜の結晶状態が異なる。よって、上記①、②の技術を用いてTFETを作成した場合に現れる特性の大きなばらつきは当然の事であり、その主原因は、活性領域を構成する横方向結晶成長のケイ素膜における結晶方位の異なる柱状結晶(ドメイン)群のばらつきである。

【0017】さらに、この横方向結晶成長領域におけるケイ素膜の結晶性をさらに向上させる手段として、以下の2つの方法が特に有効であることがわかっている。

【0018】一つは、酸素等の酸化雰囲気において、結晶成長させた温度よりもより高い温度で熱処理を施し、ケイ素膜表面を酸化する方法であり、もう一つは、レーザー等の強光を照射する工程を追加する方法である。しかしながら、前者の熱処理を用いた方法では、結晶性ケイ素膜の面方位により、酸化レートが大きく異なるため、ドメインの結晶性の差をより助長する結果となり、ばらつきはさらに悪化する。また、後者の強光を用いた方法でも、アニール光源であるレーザー等の強光に対して、結晶性ケイ素膜の面方位により吸収効率が異なるため、これもドメインの結晶性の差をより助長する結果となり、ばらつきはさらに悪化する。したがって、上記①、②の技術では、素子の性能を上げるべく、上記のような結晶性を向上させる追加処理を行った場合、特性の平均値は向上するが、従来の素子間の特性差をより増大させ、ばらつきをより悪化させることになっていた。

【0019】以上のように、結晶性ケイ素膜を活性領域とするTFET等を用いた半導体装置において、上記①、②の方法では、特性の高性能化と均一化を両立させることはできない。

【0020】そこで、この発明の目的は、特性ばらつきが少なく、安定した特性を有する高性能な半導体装置を提供すると共に、大面積基板上にも対応可能な高歩留りの安定した製造プロセスが可能な生産性の高い半導体装置の製造方法を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するため、この発明の半導体装置は、絶縁表面を有する基板上

に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置であって、上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させた複数の柱状結晶からなり、上記素子の活性領域におけるチャネル領域は、異なる面方位からなる上記柱状結晶群により構成されていることを特徴としている。

【0022】本出願人の実験により、非晶質ケイ素膜に触媒元素を選択的に導入して、横方向に略一次的に結晶成長させた結晶性ケイ素膜は、一様な結晶状態ではなく、実は、様々な面方位のドメインが隣接した非常にばらつきの大きい状態であり、このドメインの違いが、半導体装置における特性ばらつきを生じさせる主原因であることがわかった。この結果をもとに、半導体装置の素子特性を均一化させる方法として、この発明の半導体装置では、TFET等の素子の活性領域(ソース/ドレン領域、チャネル領域)のうちの少なくとも素子の動きを司る領域であるチャネル領域を複数のドメイン(異なる面方位からなる柱状結晶群)で構成することで、それぞれの素子のチャネル領域における結晶状態、すなわちドメインの状態を均一化させ、結果として各素子間の特性を均一化するものである。結晶面から、横方向結晶成長した結晶性ケイ素膜のドメインを一様な面方位に形成するアプローチもあるが、現実的には非常に困難である。この発明の半導体装置は、触媒元素を用いて横方向に結晶成長させた結晶性ケイ素膜は、面方位の異なるドメインが隣接して構成されているのを前提として、結晶性ケイ素膜の均一性が良くなくても、素子間の特性ばらつきを大幅に低減できるという点で、非常に意味が大きい。

【0023】また、この発明の半導体装置は、絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置であって、上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させたものであり、上記素子の活性領域におけるチャネル領域は、2以上の異なる方向より結晶成長させた複数の結晶成長領域により構成されていることを特徴としている。

【0024】上記構成の半導体装置によれば、上記素子の活性領域のチャネル領域は、触媒元素を選択的に導入して、基板の絶縁表面に沿って横方向に結晶成長させたものであり、2以上の異なる方向より結晶成長させた複数の結晶成長領域により構成されており、2つ以上の異なる結晶ドメインで素子のチャネル領域が構成されていることを意味し、それぞれの素子のチャネル領域における結晶状態が均一化され、結果として各素子間の特性が均一化された半導体装置となる。

【0025】また、この発明の半導体装置は、絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域

として用いた素子を備えた半導体装置であって、上記結晶性ケイ素膜は、非晶質ケイ素膜にその結晶成長を促進する触媒元素を選択的に導入して、上記基板の絶縁表面に沿って横方向に結晶成長させたものであり、上記素子の活性領域におけるチャンネル領域は、2以上の異なる方向より結晶成長させた複数の結晶成長領域がぶつかり合う境界部を1以上含むことを特徴としている。

【0026】上記構成の半導体装置によれば、上記素子の活性領域のチャンネル領域は、触媒元素を選択的に導入して、基板の絶縁表面に沿って横方向に結晶成長させたものであり、上記活性領域のチャンネル領域は、1つ以上の結晶成長領域の境界部(別方向から結晶成長させた結晶成長領域がぶつかり合った境界)を含んでおり、チャンネル領域内に横方向結晶成長のぶつかり合った境界を含むということは、チャンネル領域が、それぞれ別々に結晶成長させた2つ以上の横方向の結晶成長領域により構成されている証拠であり、すなわち2つ以上の異なる結晶ドメインで、チャンネル領域が構成されていることを意味する。したがって、それぞれの素子のチャンネル領域における結晶状態が均一化され、結果として各素子間の特性が均一化された半導体装置となる。

【0027】また、一実施形態の半導体装置は、上記チャンネル領域の中央部に、上記複数の結晶成長領域がぶつかり合って収束していることを特徴としている。

【0028】上記実施形態の半導体装置によれば、上記チャンネル領域の中央部に、上記複数の結晶成長領域がぶつかり合って収束していることによって、それぞれの素子のチャンネル領域は、複数の結晶ドメインで構成されるだけでなく、ほぼ同一の結晶状態が得られ、各素子間の特性をより効果的にかつ確実に均一化できる。

【0029】上記いずれの半導体装置において、その活性領域(特にチャンネル領域)は、触媒元素を用いて加熱処理で結晶化された高品質な結晶性ケイ素膜により構成されるものである。したがって、この発明により得られる半導体装置では、その活性領域に残留した触媒元素を幾分か含んでおり、それが、この発明の半導体装置を特定化できる根拠となる。この発明において利用できる触媒元素の種類としては、Ni、Co、Fe、Pd、Pt、Cu、Auが挙げられる。これらから選ばれた一種または複数種類の元素であれば、微量で結晶化助長の効果があり、比較的、半導体(結晶性ケイ素)中での不活性な傾向が強くと、半導体装置における電気的な悪影響を抑えることができる。したがって、この発明の半導体装置では、これらの元素の内の何れかが、活性領域にある程度の量、含まれている訳である。

【0030】また、一実施形態の半導体装置は、上記非晶質ケイ素膜の結晶化を促進する触媒元素がNiであることを特徴としている。

【0031】上記実施形態の半導体装置によれば、触媒元素にNiを用いた場合に最も顕著な効果が得られるこ

とがわかっている。その理由については、次のようなモデルが考えられる。すなわち、触媒元素は単独では作用せず、ケイ素膜と結合してシリサイド化することで結晶成長に作用し、そのときの結晶構造が、非晶質ケイ素膜結晶化時に一種の鋳型のように作用して、非晶質ケイ素膜の結晶化を促すというモデルである。このモデルでは、1つのNiと2つのSiでNiSi₂のシリサイドを形成する。このNiSi₂は螢石型の結晶構造を示し、その結晶構造は、単結晶ケイ素のダイヤモンド構造と非常に類似したものである。しかも、NiSi₂はその格子定数が5.406 Åであり、結晶シリコンのダイヤモンド構造の格子定数5.430 Åに非常に近い値をもつ。よって、NiSi₂は、非晶質ケイ素膜を結晶化させるための鋳型としては最高のものであり、実際に得られる結晶性ケイ素膜の結晶性およびその結晶化促進の触媒効果を見ても、触媒元素としてNiが最も良いのは間違いない。したがって、この発明の半導体装置においては、Niを触媒元素として用い、その活性領域にNiがある程度の量残存していることが、この発明の効果を最も有効に引き出した結果および証拠となっている。

【0032】また、一実施形態の半導体装置は、上記活性領域中におけるNiの濃度が $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³であることを特徴としている。

【0033】上記実施形態の半導体装置によれば、上記活性領域中のNiの濃度が 5×10^{17} atoms/cm³を越えるような量であれば、ニッケルシリサイドとして活性領域(ケイ素膜)中に偏在する領域が多数現れだし、素子の特性に悪影響を及ぼすようになる。一方、Niの濃度が 5×10^{17} atoms/cm³以下の量では、Niは、ほとんどシリサイドとして析出はせず、ケイ素膜中に固溶し、また結晶欠陥に組み込まれているような状態になっていると考えられる。このような状態では、素子への悪影響は見られず、ニッケルシリサイドが析出し出したときに特性上の悪影響が見られる。また、逆に、活性領域中に残存するNiの濃度が 1×10^{16} atoms/cm³よりも少ないようでは、Niの触媒効果を用いて十分に結晶化されたとは考えられず、この発明の効果は得られない。例えば、結晶化後の後工程において、活性領域のニッケル量を低減するような方法を用いたとしても、触媒として十分な量のNiを導入して結晶成長させた場合、 1×10^{16} atoms/cm³以下の量にまで低下させることはできず、これ以上の量のNiが必ず残る。したがって、この発明の半導体装置においては、活性領域中に含まれているNiの濃度が、 $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³であるときに、この発明の効果を最も引き出した状態となっている。

【0034】また、この発明の半導体装置の製造方法は、絶縁表面を有する基板上に形成された結晶性ケイ素膜を活性領域として用いた素子を備えた半導体装置の製造方法であって、上記絶縁表面を有する基板上に非晶質

ケイ素膜を形成する工程と、上記非晶質ケイ素膜の一部に、上記素子の活性領域となる領域を囲むように、その非晶質ケイ素膜を結晶化を促進する触媒元素を選択的に導入する工程と、上記触媒元素を選択的に導入した後、加熱処理によって、上記触媒元素が導入された領域から上記触媒元素が導入されていない領域に上記基板の絶縁表面に沿って横方向に結晶成長させる工程と、上記加熱処理によって結晶化した結晶性ケイ素膜のうちの上記横方向に結晶成長させた領域に、少なくとも上記素子の活性領域におけるチャンネル領域を配置するように、上記結晶性ケイ素膜をパターンニングする工程とを有することを特徴としている。

【0035】上記半導体装置の製造方法によれば、上記絶縁表面を有する基板上に形成された非晶質ケイ素膜の一部に、素子の活性領域となる領域を囲むように、その結晶化を促進する触媒元素を選択的に導入する。そして、加熱処理を行って、非晶質ケイ素膜のうちの触媒元素が導入された領域から触媒元素が導入されていない領域に、上記基板の絶縁表面に沿って横方向(基板と平行)に結晶成長を行わせる。このときの触媒元素は、後の活性領域となる領域を囲むように選択的に導入される訳であるから、熱処理により、まず触媒元素が直接導入された領域が結晶化された後に、後に素子の活性領域となる領域に向かって、四方八方より横方向に結晶成長が進行する。そして、この触媒元素の導入領域に囲まれ、横方向に結晶成長した結晶性ケイ素膜を用いて、少なくとも素子の活性領域におけるチャンネル領域を形成することによって、素子のチャンネル領域は、複数のドメインにより構成されることになる。この半導体装置の製造方法では、従来と比較して、工程を増加させることなく、触媒元素が導入されるパターン形状を変更するだけであり、非常に簡便でかつ生産性が高く、素子の特性均一化にも非常に大きな効果がある。

【0036】また、一実施形態の半導体装置の製造方法は、上記触媒元素が導入された領域から生じる横方向の結晶成長は、上記素子のチャンネル領域となる領域の中央部に向かって進み、上記チャンネル領域の中央部において、異なる方向から結晶成長させた横方向の結晶成長領域がぶつかり合うように収束させたことを特徴としている。

【0037】上記実施形態の半導体装置の製造方法によれば、上記触媒元素が導入された領域から生じる横方向への結晶成長を、後に形成する素子のチャンネル領域となる領域中央部へと向かって進ませ、チャンネル領域の中央部で異なる方向から結晶成長させた横方向の結晶成長領域がぶつかり合うように収束させることにより、それぞれの素子のチャンネル領域は、複数の結晶ドメインで構成されるだけでなく、ほぼ同一の結晶状態が得られ、その結果、各素子間の特性をより効果的にかつ確実に均一化できる。

【0038】また、一実施形態の半導体装置の製造方法は、上記非晶質ケイ素膜の一部に上記触媒元素を選択的に導入する工程において、上記非晶質ケイ素膜上にマスクを設け、上記マスクに覆われていない上記非晶質ケイ素膜の領域に上記触媒元素を添加することを特徴としている。

【0039】上記実施形態の半導体装置の製造方法によれば、上記非晶質ケイ素膜への触媒元素を選択的に導入する手段としては、非晶質ケイ素膜の形成後に、非晶質ケイ素膜上に形成・加工されたマスクを設け、上記マスク上より触媒元素を添加することにより行う方法が有効である。すなわち、フォトリソ工程により加工されたマスクを用いることによって、導入パターンの形状および素子領域との位置関係を正確に制御することが可能となる。特に、この半導体装置の製造方法では、触媒元素の導入パターン形状と素子領域との位置関係が、従来以上に重要である。

【0040】また、一実施形態の半導体装置の製造方法は、上記マスクは正多角形状であって、その正多角形状のマスクの中心部が上記素子のチャンネル領域となる領域内に配置されることを特徴としている。

【0041】上記実施形態の半導体装置の製造方法によれば、上記触媒元素を非晶質ケイ素膜に選択的に導入するときのマスクのパターン形状として、平面的に見て正多角形状のマスクを形成し、そのマスクの外側の非晶質ケイ素膜の領域に触媒元素を導入して、正多角形状の略中心部に素子のチャンネル領域を配置することによって、正多角形状の各辺からの成長ドメインがその正多角形状の中心部の下側の領域(素子のチャンネル領域)へと向かって、均一に結晶成長する。

【0042】また、一実施形態の半導体装置の製造方法は、上記正多角形状のマスクの各辺側からそれぞれ上記マスクの中心部の下側に向かって結晶成長させた結晶成長領域がぶつかり合って収束することにより形成される境界部が、上記素子のチャンネル領域となる領域内に含まれることを特徴としている。

【0043】上記実施形態の半導体装置の製造方法によれば、上記正多角形状のマスクの中心部では、正多角形状の各辺よりそれぞれ内側(多角形の中心部)に向かって結晶成長させた結晶領域がぶつかり合って、少なくとも多角形の角数以上の異なるドメインが隣接しあう。このマスクの中心部の下側の領域に素子のチャンネル領域を配置することで、そのチャンネル領域は、確実に複数の結晶ドメインを含む。

【0044】特に、この正多角形状のマスクの中心点すなわち結晶成長の境界部が素子のチャンネル領域内に含まれるように、この半導体装置を構成することで、素子のチャンネル領域は、少なくとも正多角形の角数以上の異なる結晶ドメインにより構成されることになる。この半導体装置では、基板上のどの素子を見ても同じ状態とな

っており、このようにして形成された素子は、全て活性領域がほぼ同じ状態で構成され、素子間の特性ばらつきを大きく低減できる。これを図で説明すると、図6のようになり、多角形として六角形を用いた場合について示している。図6において、300はマスク、301は触媒元素の導入領域、302は横成長領域、303は結晶成長方向、304は横方向結晶成長のぶつかり合った成長境界、305は面方位の異なる柱状結晶(ドメイン)群、306は各辺からの結晶成長がぶつかり合って収束する中心点、307は素子のチャンネル領域である。

【0045】また、一実施形態の半導体装置の製造方法は、上記マスクが正方形形状であることを特徴としている。

【0046】上記実施形態の半導体装置の製造方法によれば、上記マスクが正方形形状であるので、素子レイアウト上、正方形が最もレイアウトが行いやすく、また、デッドスペースを最も小さくできるため、素子の高密度化、すなわち高集積化に有利となる。つまり、触媒元素が導入された領域は、非常に高濃度の触媒元素が残存しており、活性領域内に用いるのは避けた方がよいので、素子レイアウトにおけるデッドスペースとなっている。また、素子の平面形状は略矩形であるため、正方形のマスクの場合、各辺を合わせてスペースを詰めることができ、デッドスペースは最も小さくて済む。この正方形形状のマスクを用いた場合には、図7に示すように、マスク400の各4辺からのそれぞれ内側(正方形の中心部; 403方向)に向かって結晶成長させた結晶領域402がぶつかり合って、中心点406が形成されるため、そこには少なくとも4つ以上の異なるドメイン405が隣接しあうことになる。その結果、素子のチャンネル領域407は、最低4つの異なる結晶ドメインで構成されることになり、図6の六角形に比べるとチャンネル領域内を構成するドメインの数は減少するのは確かである。しかしながら、これでも、従来(ドメインが1つまたは2つ)と比べると、素子の特性均一性は大きく向上し、その均一性は実用レベルに達している。

【0047】また、一実施形態の半導体装置の製造方法は、上記マスクは円形状であって、その円形状のマスクの中心部が上記素子のチャンネル領域となる領域内に配置されることを特徴としている。

【0048】上記実施形態の半導体装置の製造方法によれば、上記触媒元素の選択導入マスクパターンとして、上記正多角形状以外に円形が非常に有効である。すなわち、図8に示すように、触媒元素を非晶質ケイ素膜に選択的に導入するときのマスクのパターン形状として、平面的に見て円形状のマスク500を形成し、その外側の領域501に触媒元素を導入し、円形状の略中心部506に素子のチャンネル領域507を配置することが望ましい。マスクパターンが円形の場合、正多角形状のときのように各辺から内側に結晶成長し、隣り合う辺から

それぞれ結晶成長させた領域がぶつかり合うような成長境界は現れない。図8に示すように、その中心部506においてのみ円周部から内側(503の方向)に結晶成長させた領域がぶつかり合った(収束した)境界部が見られる。なぜなら、マスクが円形の場合には、正多角形状のときと決定的に異なる点として、結晶成長がぶつかり合うことでドメインが消滅していくのではなく、自然なドメインの競合が起こり、優勢な結晶ドメインのみが、その成長過程において生き残っていくのである。したがって、その中心部では、円周部より結晶成長させた異なる複数のドメインで構成されているだけではなく、結晶成長に優勢な方位のドメインがそれぞれ残るため、その結晶状態は、多角形状のマスクを用いた場合に比べても、より均一性が高い。

【0049】また、一実施形態の半導体装置の製造方法は、上記円形状のマスクの円周部より上記マスクの中心の下側領域に向かって結晶成長させた結晶成長領域がぶつかり合って収束することにより形成される境界部が、上記素子のチャンネル領域となる領域内に含まれることを特徴としている。

【0050】上記実施形態の半導体装置の製造方法によれば、上記円形状のマスクの中心点、すなわち、結晶成長の収束する点が、少なくとも素子のチャンネル領域内に含まれるようにすることで、素子のチャンネル領域は、複数の異なる結晶ドメインにより構成されるだけでなく、特に結晶成長に優勢な方位の結晶ドメインで構成されることになる。これは、基板上のどの素子を見ても同じ状態となっており、このようにして形成された素子は、全てのチャンネル領域がほぼ同じ状態で構成され、素子間の特性ばらつきを特に小さく抑えることができる。

【0051】また、一実施形態の半導体装置の製造方法は、上記基板の絶縁表面に沿って横方向に結晶成長させた結晶性ケイ素膜のうちの少なくとも上記素子のチャンネル領域となる領域以外の領域に、5族Bから選ばれた元素を導入する工程と、上記5族Bから選ばれた元素を導入した後、加熱処理によって、上記5族Bから選ばれた元素が導入された上記結晶性ケイ素膜の領域に上記触媒元素を移動させる工程とを有することを特徴としている。

【0052】触媒元素による非晶質ケイ素膜の結晶成長は、まず触媒元素と非晶質ケイ素とのシリサイド反応が起こり、シリサイドがその非晶質ケイ素膜の結晶成長を引き起こす。すなわち、結晶成長の先端には、常に触媒元素のシリサイドが存在しており、それが前方にある非晶質ケイ素を次々と結晶化していく訳である。最終的に横方向結晶成長がぶつかり合って収束することにより形成される成長境界というのは、その成長過程で常に先端に存在する触媒元素のシリサイドが吹きだまりとなり、非常に高濃度で存在している領域である。触媒元素は金属類を主としており、このような元素が半導体中に多量

に存在していることは、これら半導体を用いた素子の信頼性や電氣的安定性を阻害するものであり、決して好ましいことでない。特に、これらのシリサイドは、TFTにおいてオフ動作時のリーク電流が増大するという大きな問題を引き起こす。このような複数の結晶ドメインでチャネル領域を構成するため、チャネル領域に特に触媒元素が高濃度で局在している。このため、チャネル領域内において、成長境界に高濃度で局在している触媒元素を如何にして低減するかが大きな問題となる。

【0053】これに対して、この半導体装置の製造方法では、触媒元素を非晶質ケイ素膜の結晶化処理に利用した後、そのケイ素膜中に残存する触媒元素の大部分を、素子形成領域以外の領域に移動させることで、この問題を解決している。具体的には、触媒元素による結晶化を行った後、結晶性ケイ素膜の少なくとも後に素子のチャネル領域となる領域以外の領域に、5族Bから選ばれた元素を導入し、加熱処理によって、結晶成長に使われ主に成長境界に残存する触媒元素を、上記5族Bから選ばれた元素が導入された領域に移動させることにより、結果として素子のチャネル領域中の触媒元素量を大きく低減することができる。この半導体装置の製造方法は、半導体特性に対して悪影響が大きいシリサイド状態の触媒元素に特に有効である。そして、5族B元素が導入され、触媒元素が集められた領域を除去して、最終的な素子の活性領域を形成すれば、基板上には触媒元素の高濃度領域は全く残らない。

【0054】また、一実施形態の半導体装置の製造方法は、上記5族Bから選ばれた元素を導入する工程において、上記非晶質ケイ素膜の一部に上記触媒元素を選択的に導入する工程で用いたマスクを用いることを特徴としている。

【0055】上記実施形態の半導体装置の製造方法によれば、5族Bから選ばれた元素を導入するときのマスクとして、先の工程で上記触媒元素を選択的に導入するとき用いたマスクをそのまま用いれば、新たにマスクを加工・形成する必要もなく、工程が大きく増えることもない。したがって、簡便にかつ効率よく触媒元素量を低減することができる。

【0056】また、一実施形態の半導体装置の製造方法は、上記5族Bから選ばれた元素として、P、N、As、SbおよびBiのうちの少なくとも1つの元素を用いたことを特徴としている。

【0057】上記実施形態の半導体装置の製造方法によれば、上記5族Bから選ばれた元素としては、P、N、As、Sb、Biから選ばれた少なくとも1つの元素を用いることができる。これらから選ばれた一種または複数種類の元素であれば、上記触媒元素を効率よく移動させることができ、十分な効果が得られる。このメカニズムに関しては、未だ詳しい知見は得られていないが、これらの元素の中でも、最も効果が高いのはPであることが

わかっている。

【0058】また、一実施形態の半導体装置の製造方法は、触媒元素として、Ni、Co、Fe、Pd、Pt、CuおよびAuのうちの少なくとも1つの元素を用いたことを特徴としている。

【0059】上記実施形態の半導体装置の製造方法によれば、上記触媒元素としてNi、Co、Fe、Pd、Pt、Cu、Auから選ばれた一種または複数種類の元素であれば、微量で結晶化助長の効果があり、比較的、半導体(結晶性ケイ素)中での不活性な傾向が強く、半導体装置における電氣的な悪影響を抑えることができる。そして、特に、これらの触媒元素の中でも、Niを用いた場合に最も顕著な効果が得られる。

【0060】また、一実施形態の半導体装置の製造方法は、上記結晶性ケイ素膜を用いて、上記結晶性ケイ素膜をパターンニングして、上記素子の活性領域を形成する工程と、上記パターンニングの工程の後、酸化雰囲気中で加熱処理によって、上記活性領域表面を酸化させる工程とを有することを特徴としている。

【0061】上記実施形態の半導体装置の製造方法によれば、触媒元素により結晶化されたケイ素膜の結晶性をより向上し、半導体装置の性能、特に電流駆動能力をより向上させる方法として、非晶質ケイ素膜を加熱処理により結晶化させ、素子の活性領域をパターンニングした後、さらに酸化雰囲気での加熱処理を行い、上記活性領域表面を酸化する方法が有効である。この酸化処理を行うと、酸化作用により生じる過飽和Si原子がケイ素膜中へ供給され、これらが、ケイ素膜中の結晶欠陥(特に不對結合手;ダングリングボンド)に入り込み、欠陥を消滅させることができる。これにより、触媒元素により結晶化されたケイ素膜中の欠陥密度が大きく低減され、移動度が大幅に向上する。この結果、半導体装置の性能は飛躍的に向上する。特に、触媒元素により結晶成長させたケイ素膜は、柱状結晶のネットワーク構造で構成され、個々の柱状結晶内部は元々結晶性が良好なため、通常の固相成長のケイ素膜に比べて、この効果が極めて大きい。

【0062】すなわち、通常の固相成長のケイ素膜では、双晶欠陥を多量に含んでいるため、かなりの酸化処理を行っても、十分な改善は果たせない。また、従来の触媒元素を用いた結晶成長法である特開平10-199805号公報や特開平10-200113号公報の技術に、この酸化による結晶性向上技術を適用した場合には、結晶性ケイ素膜の面方位により、酸化レートが大きく異なるため、ドメインの結晶性の差をより助長する結果となり、素子特性のばらつきは非常に大きくなる。

【0063】この半導体装置の製造方法では、チャネル領域内に複数の異なる結晶ドメインを含むため、酸化レートが各結晶ドメインでばらつき、ドメイン間の結晶性の違いがより大きくなっても、個々の半導体装置におけ

るチャネル領域内のトータル的な結晶性はほぼ同様であり、特性ばらつきの増大を抑えることができる。これによって、初めて、この酸化による結晶性向上技術が実用となり、特性ばらつきが小さく、非常に高性能な半導体装置を実現できる。

【0064】また、一実施形態の半導体装置の製造方法は、上記結晶性ケイ素膜を用いて、上記結晶性ケイ素膜をパターンニングして、上記素子の活性領域を形成する工程と、上記パターンニングの工程の後、上記活性領域に強光を照射する工程とを有することを特徴としている。

【0065】上記実施形態の半導体装置の製造方法によれば、上記の酸化方法以外に、この発明において、触媒元素により結晶化されたケイ素膜の結晶性をより向上し、半導体装置の性能、特に電流駆動能力をより向上させるもう一つの有効な方法として、非晶質ケイ素膜を加熱処理により結晶化させ、素子の活性領域をパターンニングした後、その結晶性ケイ素膜に紫外レーザー光等の強光を照射し、その結晶性をさらに向上させる方法がある。結晶性ケイ素膜にレーザー等の強光を照射した場合、結晶性ケイ素膜と非晶質ケイ素膜との融点の相違から結晶粒界面部や微小な残留非晶質領域(未結晶化領域)が集中的に処理される訳であるが、通常の固相成長法で形成した結晶性ケイ素膜では、結晶構造が双晶状態であるため、強光照射後も結晶粒内部は双晶欠陥として残る。それに比べ、触媒元素を導入して結晶化された結晶性ケイ素膜は、柱状結晶で形成されており、その内部は単結晶状態に近いので、強光の照射により結晶粒界面部が処理され、非常に良質の結晶性ケイ素膜が得られる。また、元々結晶性ケイ素膜に対してレーザー照射を行うのであるから、非晶質ケイ素膜に直接レーザー照射し結晶化する方法とは異なり、レーザー照射のばらつきは大きく緩和され、均一性上の問題も生じない。

【0066】しかしながら、従来の触媒元素を用いた結晶成長法である特開平10-199805号公報や特開平10-200113号公報の技術に、このレーザー等強光照射による結晶性向上技術を適用した場合には、アニール光源であるレーザー等の強光に対して、面方位により吸収効率が異なるため、ドメインの結晶性の差をより助長する結果となり、素子の特性ばらつきは非常に大きくなる。

【0067】これに対してこの半導体装置の製造方法では、チャネル領域内に複数の異なる結晶ドメインを含むため、吸収効率が各結晶ドメインでばらつき、ドメイン間の結晶性の違いがより大きくなっても、個々の素子におけるチャネル領域内のトータル的な結晶性はほぼ同様であり、特性ばらつきの増大を抑えることができる。これによって、初めて、このレーザー等強光による結晶性向上技術が実用となり、特性ばらつきが小さく、非常に高性能な半導体装置を実現できる。

【0068】

【発明の実施の形態】以下、この発明の半導体装置およびその製造方法を図示の実施の形態により詳細に説明する。

【0069】(第1実施形態)この発明の第1実施形態の半導体装置では、ガラス基板上にN型TFTを作製するときの工程について説明を行う。なお、このN型TFTはアクティブマトリクス型の液晶表示装置のドライバ回路や画素部分は勿論のこと、薄膜集積回路を構成する素子としても利用することができる。この第1実施形態では、それらの代表として、基板上に数十万から数百万のN型TFTを特に均一に作製する必要がある液晶表示装置用アクティブマトリクス基板の画素駆動用TFTについて説明する。

【0070】図1(A)~(C)、図2(A)、(B)はこの第1実施形態で説明するアクティブマトリクス基板上的TFTの作製工程の概要を示す平面図である。実際には、アクティブマトリクス基板は数十万個以上のTFTによる構成されるが、この第1実施形態では、3行×4列の12個のTFTに簡略化して説明する。

【0071】また、図3(A)~(F)は、図1における任意の1つのTFTにおけるIII-III線から見た断面図であり、図3(A)~(F)の順にしたがって作製工程が順次進行する。

【0072】まず、図3(A)に示すように、ガラス基板101上に例えばスパッタリング法によって厚さ300~500nm程度の酸化ケイ素からなる下地膜102を形成する。この酸化ケイ素膜からなる下地膜102は、ガラス基板からの不純物の拡散を防ぐために設ける。次に、プラズマCVD法または減圧CVD法によって、厚さ20~80nm(例えば35nm)の真性(I型)の非晶質ケイ素膜(a-Si膜)103を成膜する。この第1実施形態では、平行平板式のプラズマCVD装置を用い、加熱温度を300℃とし、SiH₄ガスとH₂ガスを材料ガスに用い、RFパワーのパワー密度を10~200mW/cm²(例えば80mW/cm²)とした。次に、a-Si膜103上に酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜を堆積し、フォトリソ工程によりパターンニングしてマスク104を形成する。この第1実施形態においては、マスク104の形成は、酸化ケイ素膜を用い、TEOS(Tetra Ethoxy ortho Silicate)を原料とし、酸素とともにRFプラズマCVD法で分解・堆積した。このマスク104の厚さは、100nm~400nmであることが望ましく、この第1実施形態では、上記酸化ケイ素膜の厚さを150nmとした。また、マスク104のパターン形状は、図1(A)に示す略円形とした。図1(A)からわかるように、後に作成される12個のTFT(図2(B)に示す)に対して、マスク104がそれぞれ12個設けられる。マスク104で覆われていない領域においてa-Si膜103が露呈している。

【0073】次に、a-Si膜103およびマスク膜1

04表面にニッケル105の微量添加を行う。このニッケル105の微量添加は、ニッケルを溶かした溶液をa-Si膜103、マスク104上に保持し、スピナーにより溶液をガラス基板101上に均一に延ばし乾燥させることにより行った。この第1実施形態では、溶質としては酢酸ニッケルを用い、溶媒としてはエタノールを用い、溶液中のニッケル濃度を3ppmとした。このようにして添加されたa-Si膜103およびマスク104表面上のニッケル濃度を全反射蛍光X線分析(TRXR-F)法により測定すると、 $2 \times 10^{13} \text{ atoms/cm}^2$ 程度であった。

【0074】そして、この状態でこの基板を不活性雰囲気(例えば窒素雰囲気)下で、加熱温度530~600℃(例えば570℃)で4時間アニールすることによりa-Si膜103を結晶化させる。このとき、マスク104の外側(直接ニッケルが添加された領域)のa-Si膜103においては、a-Si膜103表面に存在するニッケル105を核としてa-Si膜103の結晶化が起こり、結晶性ケイ素膜103aがまず形成される。そして、引き続いてマスク104下の領域では、図1(A)および図3(B)において、矢印106で示すようにマスク104の中心に向かって、先に結晶化されたケイ素膜領域103aから横方向(基板と平行な方向)に結晶成長が行われる。そして、最終的に、矢印106の方向の横方向結晶成長は、マスク104の中心部に収束し、マスク104下は横方向結晶成長領域である結晶性ケイ素膜103bで埋め尽くされ、横方向結晶成長が収束したところには、結晶成長境界(収束点103c)が形成される。このとき、マスク104上に存在するニッケル105は、マスク104に阻まれ、マスク104の下層のa-Si膜へは到達せず、直接ニッケルが添加された領域において導入されたニッケル105のみによりa-Si膜103の結晶化が行われる。

【0075】次に、図3(C)に示すように、基板101上方よりリン107を全面にイオンドーピングする。このときのリン107のドーピング条件としては、加速電圧を5~10kVとし、ビーズ量を $5 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ とした。この工程により、露呈している領域の結晶性ケイ素膜103a(図3(B)に示す)にリンを注入して、リンドーピングされた結晶性ケイ素領域103Aを形成する。一方、マスク104によって覆われている領域の結晶性ケイ素膜103b(図3(B)に示す)には、リンはドーピングされない。平面的には、図1(B)において斜線で示された部分の結晶性ケイ素領域103Aにリン107がドーピングされる。

【0076】そして、この状態で、この基板を不活性雰囲気(例えば窒素雰囲気)下にて500~700℃の温度で数時間から数十時間の加熱処理を施す。この第1実施形態では、一例として600℃にて6時間の処理を行った。この加熱処理において、結晶性ケイ素領域103A

にドーピングされたリン107がその結晶性ケイ素領域103Aに存在するニッケルをまずトラップする。そして、図1(B)、図3(C)に示すように、さらにマスク104下の結晶性ケイ素膜103b、特に結晶成長境界の収束点103cに存在しているニッケル105を矢印108に示す方向(すなわち先の結晶成長時の106と逆方向)に、回りの結晶性ケイ素領域103Aへと引き出す。その結果、マスク104下の結晶性ケイ素膜103b領域におけるニッケル濃度は大きく低減する。このときの実際の結晶性ケイ素膜103b中のニッケル濃度を二次イオン質量分析法(SIMS)により測定したところ、 $5 \times 10^{16} \text{ atoms/cm}^3$ 程度にまで低減された。なお、上記加熱処理によりニッケル濃度を低減する工程前の結晶性ケイ素膜103bの膜中ニッケル濃度は、 $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であった。

【0077】次に、マスクとして用いた酸化ケイ素膜のマスク104をエッチング除去する。エッチャントとしては、下層のケイ素膜103と十分に選択性のある1:10バッファードフッ酸(BHF)を用い、ウェットエッチングにより行った。

【0078】その後、マスク104に覆われていた領域の結晶性ケイ素膜103bを用い、その他の不要な部分のケイ素膜を除去して素子間分離を行う。すなわち、上記工程により、図1(C)に示すような配置で、ケイ素膜103bの領域を用いて、後にTFEの活性領域(ソース/ドレイン領域、チャネル領域)となる島状の結晶性ケイ素膜109を形成する。このとき、島状の結晶性ケイ素膜109内の最終的にチャネル領域となる領域に、結晶成長の収束点103c(図3(B)、(C)に示す)が含まれるように、島状の結晶性ケイ素膜109を配置している。このようにして、図2(B)および図3(D)の状態が得られる。

【0079】次に、図3(D)に示すように、レーザー光110を照射することで活性領域となる島状の結晶性ケイ素膜109の結晶性をさらに向上させる。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いた。レーザー光の照射条件は、照射時に基板を200~450℃(例えば400℃)に加熱し、エネルギー密度250~450mJ/cm²(例えば350mJ/cm²)で照射した。また、レーザー光のビームサイズは、基板101表面で150mm×1mmの長尺形状となるように成型されており、長手方向に対して垂直方向に0.05mmのステップ幅で順次走査を行う。これにより、島状の結晶性ケイ素膜109の任意の一点において、計20回のレーザー照射が行われることになる。

【0080】次に、図3(E)に示すように、上記活性領域となる島状の結晶性ケイ素膜109を覆うように厚さ20~150nm(例えば100nm)の酸化ケイ素膜をゲート絶縁膜111として成膜する。ここで、酸化ケイ

素膜の形成には、TEOS (Tetra Ethoxy ortho Silicate) を原料とし、酸素とともに基板温度 $150 \sim 600^{\circ}\text{C}$ (好ましくは $300 \sim 450^{\circ}\text{C}$) で、RF プラズマ CVD 法で分解・堆積する。また、TEOS を原料としてオゾンガスとともに減圧 CVD 法もしくは常圧 CVD 法によって、基板温度を $350 \sim 600^{\circ}\text{C}$ (好ましくは $400 \sim 550^{\circ}\text{C}$) として形成してもよい。そして、酸化ケイ素膜の成膜後、ゲート絶縁膜自身のバルク特性および結晶性ケイ素膜／ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で $400 \sim 600^{\circ}\text{C}$ で $1 \sim 4$ 時間のアニールを行う。

【0081】引き続き、スパッタリング法によって、厚さ $400 \sim 800 \text{ nm}$ (例えば 600 nm) のアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート電極 113 を形成する。さらに、このアルミニウムのゲート電極 113 の表面を陽極酸化して、表面に酸化物層 114 を形成する。この状態が図 3 (E) に相当する。上記ゲート電極 113 は、平面的にはゲートバスラインを同時構成しており、この状態を平面的に見ると、図 2 (A) に示すような状態となっている。このときの陽極酸化は、酒石酸が $1 \sim 5\%$ 含まれたエチレングリコール溶液で行い、最初一定電流で 220 V まで電圧を上げ、その状態で 1 時間保持して終了させる。そうして得られた酸化物層 114 の厚さは 200 nm である。なお、この酸化物層 114 は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0082】次に、イオンドーピング法によって、ゲート電極 113 とその周囲の酸化物層 114 をマスクとして活性領域 (島状の結晶性ケイ素膜 109) の一部に不純物 (リン) を注入する。ドーピングガスとしてフォスフィン (PH_3) を使い、加速電圧を $60 \sim 90 \text{ kV}$ (例えば 80 kV)、ビーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ (例えば $2 \times 10^{15} \text{ cm}^{-2}$) とする。この工程により、不純物が注入された領域 116, 117 は、後に TFT のソース／ドレイン領域となり、ゲート電極 113 およびその周囲の酸化層 114 にマスクされ、不純物が注入されない領域 115 は、後に TFT のチャネル領域となる。

【0083】その後、図 3 (E) に示すように、レーザー光 118 の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善する。このとき、使用するレーザーとしては XeCl エキシマレーザー (波長 308 nm 、パルス幅 40 nsec) を使い、エネルギー密度 $150 \sim 400 \text{ mJ/cm}^2$ (好ましくは $200 \sim 250 \text{ mJ/cm}^2$) で照射を行う。こうして形成された N 型不純物 (リン) 領域 116, 117 のシート抵抗は、 $200 \sim 800 \Omega/\square$ であった。

【0084】続いて、図 3 (F) に示すように、厚さ 60

0 nm 程度の酸化ケイ素膜または窒化ケイ素膜を層間絶縁膜 119 として形成する。酸化ケイ素膜を用いる場合には、TEOS を原料として、これと酸素とのプラズマ CVD 法 (もしくはオゾンとの減圧 CVD 法または常圧 CVD 法) によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、 SiH_4 と NH_3 を原料ガスとしてプラズマ CVD 法で成膜された窒化ケイ素膜を用いれば、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFT 特性を劣化させる不対結合手を低減する効果がある。

【0085】次に、層間絶縁膜 119 にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって TFT のソース電極 (配線) 120 を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設ける。この TFT 123 は、画素電極をスイッチングする素子であるので、もう一方のドレイン電極には、ITO 等透明導電膜からなる画素電極 121 を設ける。すなわち、図 2 (B) において、ソースバスライン (ソース電極 120) を介してビデオ信号が供給され、ゲートバスライン (ゲート電極 113) のゲート信号に基づいて画素電極 121 に必要な電荷が書き込まれるのである。そして最後に、 1 気圧の水素雰囲気で 350°C 、 1 時間のアニールを行い、図 1 (E)、図 3 (F) に示す TFT 123 を完成させる。さらに必要に応じて、TFT 123 を保護する目的で、TFT 123 上に窒化ケイ素膜等からなる保護膜を設けてもよい。

【0086】上記 TFT 123 の活性領域のチャネル領域 115 は、複数の異なる面方位からなる柱状結晶群であって、かつ、 2 以上の異なる方向より結晶成長させた複数の結晶成長領域により構成され、さらに、 2 以上の異なる方向より結晶成長させた複数の結晶成長領域がぶつかり合う境界部を 1 以上含んでいる。したがって、各 TFT 123 のチャネル領域における結晶状態、すなわちドメインの状態を均一化させ、結果として基板上の各 TFT 間の特性を均一化するので、TFT 間の特性ばらつきが少なく、安定した特性を有する高性能な半導体装置を提供することができる。

【0087】また、この第 1 実施形態の半導体装置の製造方法にしたがって作製した TFT は、電界効果移動度が $150 \text{ cm}^2/\text{Vs}$ 程度、しきい値電圧が 2 V 程度と非常に高性能であるにもかかわらず、アクティブマトリクス基板内での特性ばらつきが、電界効果移動度で $\pm 10\%$ 程度、しきい値電圧で $\pm 0.2 \text{ V}$ 程度 (基板として $400 \times 320 \text{ mm}$ のサイズを使い、基板内 30 点を測定した結果) と非常に良好であった。これに対して、従来の半導体装置の製造方法により作成された場合には、結晶ドメインが各素子間で大きくばらつき、電界効果移動度のばらつきは $\pm 50\%$ 程度と非常に大きく、しきい値電圧も $2 \pm 0.5 \sim 1.0 \text{ V}$ の範囲で大きくばらついた。

【0088】したがって、この第1実施形態の半導体装置では、特にTFTの特性ばらつき改善に大きな効果があることがわかる。また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、信頼性も問題ない。また、触媒元素が特に問題となるTFTオフ領域でのリーク電流の増大およびばらつきは、異常点が無く、触媒元素を用いない場合と同等の数pA程度にまでリーク電流を低減でき、製造歩留りを大きく向上することができた。

【0089】そして、この第1実施形態に基づいて作製された液晶表示用アクティブマトリクス基板を実際に点灯評価したところ、従来のものに比べて表示むらが小さく、TFTのリーク電流による画素欠陥も極めて少なく、コントラスト比の高い高表示品位の液晶パネルが得られた。なお、この第1実施形態によるTFTの製造工程は、アクティブマトリクス基板の画素電極を対象に説明を行ったが、このTFTは薄膜集積回路等にも簡単に応用でき、その場合にはゲート電極上にコンタクトホールを形成し、必要とする配線を施せばよい。

【0090】(第2実施形態)この発明を用いた第2実施形態の半導体装置では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成するN型TFTとP型TFTを相補型に構成したCMOS構造の回路を石英ガラス基板上に作製する工程について説明する。

【0091】図4(A)～(C)はこの第2実施形態で説明するTFTの作製工程の概要を示す平面図であり、図4(A)～(C)の順に工程が進行する。また、図5(A)～(G)は図4(C)のV-V線から見た断面図であり、図5(A)～(G)の順に工程が進行する。

【0092】まず、図5(A)に示すように、石英ガラス基板201の表面を低濃度のフッ化水素酸で洗浄した後、石英ガラス基板201上に、減圧CVD法またはプラズマCVD法によって、厚さ40～100nm(例えば55nm)の真性(I型)の非晶質ケイ素膜(a-Si膜)203を成膜する。

【0093】次に、a-Si膜203上に酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜を堆積し、パターンニングしてマスク204を形成する。この第2実施形態では、マスク204の形成は、酸化ケイ素膜を用い、TEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともにRFプラズマCVD法で分解・堆積した。上記マスク204の厚さは、100nm～400nmであることが望ましく、この第2実施形態では、上記酸化ケイ素膜の厚さを150nmとした。また、マスク204のパターン形状は、図4(A)に示すように、略正方形とした。図4(A)からわかるように、後に作成されるN型およびP型の各TFTに対して、マスク204をそれぞれ一つずつ設けている。このマスク204で覆われていない領域では、a-Si膜203が露呈されている。

【0094】上記マスク204を設けた後、このa-Si膜203およびマスク204表面にニッケル205の微量添加を行う。このニッケル205の微量添加は、純ニッケル(99.9%以上)のターゲットを用い、DCスパッタリングにより行う。具体的には、DCパワーが50W程度という極低パワーにて、基板搬送速度を2000mm/minにまで高めてスパッタリング処理を行った。この場合、スパッタリングガスとしてはアルゴンを用いて、純ニッケルターゲットに対してスパッタリング時のガス圧力を10Pa以上に上げることで、ニッケルの極低濃度スパッタリングが可能となる。このようにしてスパッタリングされたニッケル205は、図5(A)では、薄膜のように表示してはいるが、実際には単原子層程度かそれ以下の状態で、とても膜と呼べる状態ではない。具体的にDCパワー40W、アルゴンガス圧18Paの条件でスパッタリングを行ったところ、基板表面上(マスク204と露呈しているa-Si膜203)のニッケル濃度は $3 \times 10^{13} \text{ atoms/cm}^2$ 程度(TRXRF測定値)であった。

【0095】そして、この状態でこれを不活性雰囲気(窒素雰囲気)下で、加熱温度530～600℃(例えば570℃)で4時間アニールして、a-Si膜203を結晶化させる。このとき、マスク204の外側(直接ニッケルが添加された領域)のa-Si膜203においては、a-Si膜203表面に存在するニッケル205を核としてa-Si膜203の結晶化が起り、結晶性ケイ素膜203aがまず形成される。そして、引き続いてマスク204下の領域では、図4(A)および図5(B)において、矢印206で示すようにマスク204の中心に向かって、先に結晶化されたケイ素膜領域203aから横方向(基板表面と平行な方向)に結晶成長が行われる。そして、マスク204の各辺から結晶成長させた領域がぶつかり合って、結晶成長境界203cが形成される。特に、マスク204の中心部では、4つの辺から結晶成長させた4つの横成長領域がぶつかり合う。そして、最終的に、マスク204の下側は横方向結晶成長領域である結晶性ケイ素膜203bで埋め尽くされる。このとき、マスク204上に存在するニッケル205は、マスク204に阻まれ、下層のa-Si膜へは到達せず、直接ニッケルが添加された領域において導入されたニッケル205のみによりa-Si膜203の結晶化が行われる。

【0096】次に、図5(C)に示すように、基板201上方よりリン207を全面にイオンドーピングする。このときのリン207のドーピング条件としては、加速電圧を5～10kVとし、ビーズ量を $5 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ とした。この工程により、露呈している領域の結晶性ケイ素膜203aにリンを注入して、リンドーパされた結晶性ケイ素領域203Aを形成する。一方、マスク204によって覆われている領域の結晶性ケイ素膜203bには、リンはドーピングされない。平面的に

は、図4(B)において斜線で示された部分の結晶性ケイ素領域203Aにリン207がドーピングされる。

【0097】そして、この状態で、これを不活性雰囲気(例えば窒素雰囲気)下にて500~700℃の温度で数時間から数十時間の加熱処理を施す。この第2実施形態では、一例として600℃にて6時間の処理を行った。この加熱処理において、結晶性ケイ素領域203Aにドーピングされたリン207がその結晶性ケイ素領域203Aに存在するニッケルをまずトラップする。そして、図4(B)、図5(C)に示すように、さらにマスク204下の結晶性ケイ素膜203b、そして特に結晶成長境界203cに存在しているニッケル205を矢印208に示す方向(すなわち先の結晶成長206と逆方向)に、回りの結晶性ケイ素領域203Aへと引き出す。その結果、マスク204下の結晶性ケイ素膜203b領域におけるニッケル濃度は大きく低減する。このときの実際の結晶性ケイ素膜203b中のニッケル濃度を二次イオン質量分析法(SIMS)により測定したところ、 $5 \times 10^{16} \text{ atoms/cm}^3$ 程度にまで低減された。なお、上記加熱処理によりニッケル濃度を低減する工程前の結晶性ケイ素膜203bの膜中ニッケル濃度は $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であった。

【0098】次に、マスクとして用いた酸化ケイ素膜204をエッチング除去する。エッチャントとしては、下層のケイ素膜203と十分に選択性のある1:10バッファードフッ酸(BHF)を用い、ウェットエッチングにより行う。

【0099】その後、図5(D)に示すように、マスク204下の結晶性ケイ素膜203bを用いて、後にTFTの活性領域(素子領域)となる島状の結晶性ケイ素膜209n、209pを残し、それ以外の領域をエッチング除去して素子間分離を行う。すなわち、上記工程により、図4(C)に示すような配置で、結晶性ケイ素膜203bの領域を用いて、後にTFTの活性領域(ソース/ドレイン領域、チャネル領域)となる島状の結晶性ケイ素膜209n、209pを形成するのである。このとき、島状の結晶性ケイ素膜209n、209p内の最終的にチャネル領域215となる領域に、マスク204の各辺からの4つの結晶成長の収束点203c(図5(B)に示す)が含まれるように配置している。このようにして、図4(C)および図5(D)の状態が得られる。

【0100】次に、図5(E)に示すように、上記活性領域となる島状の結晶性ケイ素膜209n、209pを覆うように、厚さ60nmの酸化ケイ素膜をゲート絶縁膜211として成膜する。この第2実施形態では、ゲート絶縁膜211の成膜方法として、 SiH_4 ガスと N_2O ガスを原料として850℃の温度において減圧CVD法により成膜を行った。所謂、HTO膜である。

【0101】次に、このような状態で、島状の結晶性ケイ素膜209n、209pに対して酸化雰囲気中での熱

処理を行う。雰囲気としては、酸素や水蒸気またはHCl等の酸化雰囲気であり、この第2実施形態では、1気圧の酸素雰囲気中にて行った。また、温度は850~1100℃が好ましく、この第2実施形態では950℃にて処理を行った。

【0102】このような条件下、2時間30分のアニールを行うことで、ゲート絶縁膜211中を酸素が拡散移動し、下層の島状の結晶性ケイ素膜209n、209pの表面が酸化される。上記条件での酸化処理を行うことで、島状の結晶性ケイ素膜209n、209p表面に約50nmの酸化膜212n、212pを形成する。その結果、島状の結晶性ケイ素膜209n、209pの膜厚は初期の55nmから30nmに減少する。また、TFTとしてのゲート絶縁膜は、CVDにより形成された酸化膜211と島状の結晶性ケイ素膜209n、209pの熱酸化により形成された酸化膜212の二層で構成され、トータル膜厚は110nmになる。また、チャネル界面は、活性領域となる島状の結晶性ケイ素膜209n、209pと上記ケイ素膜の酸化による酸化膜212とで構成され、良好な界面特性が得られる。さらに、上記酸化工程により、島状の結晶性ケイ素膜209n、209pの膜中不対結合(ダングリングボンド)は大幅に低減され、その結晶性は大きく改善される。その結果、30nmに薄膜化された高品質結晶性ケイ素膜による活性領域209N、209Pと変化する。

【0103】引き続き、図5(F)に示すように、スパッタリング法によって厚さ400~800nm(例えば500nm)のアルミニウム(0.1~2%のシリコンを含む)を成膜し、アルミニウム膜をパターニングして、ゲート電極213n、213pを形成する。

【0104】次に、イオンドーピング法によって、活性領域209N、209Pにゲート電極213n、213pをマスクとして不純物(リン、およびホウ素)を注入する。ドーピングガスとして、フォスフィン(PH_3)およびジボラン(B_2H_6)を用い、前者のフォスフィンの場合は、加速電圧を60~90kV(例えば80kV)とし、後者のジボランの場合は、40kV~80kV(例えば65kV)とし、ビーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ (例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$)とする。この工程により、ゲート電極213n、213pにマスクされ、不純物が注入されない領域は、後にTFTのチャネル領域215n、215pとなる。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域216n、217n、P型の不純物領域216p、217pが形成され、図4(C)に示すように、Nチャネル型TFT224とPチャネル型TFT225とを形成することができる。

【0105】その後、図5(F)に示すように、レーザー

218の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用い、レーザー光の照射条件としては、エネルギー密度 $250\text{mJ}/\text{cm}^2$ で一か所につき20ショット照射した。

【0106】続いて、図5(G)に示すように、厚さ900nmの酸化ケイ素膜を層間絶縁膜219としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極・配線222を形成する。そして最後に、1気圧の水素雰囲気下で350℃、1時間のアニールを行い、Nチャンネル型TFT224とPチャンネル型TFT225とを完成させる。さらに必要に応じて、TFT224, 225を保護する目的で、TFT224, 225上に窒化ケイ素膜等からなる保護膜を設けてもよい。

【0107】上記TFT224, 225のチャンネル領域215n, 215pは、複数の異なる面方位からなる柱状結晶群であって、かつ、2以上の異なる方向より結晶成長させた複数の結晶成長領域で構成され、さらに、2以上の異なる方向より結晶成長させた複数の結晶成長領域がぶつかり合う境界部を1以上含んでいる。したがって、各TFT224, 225のチャンネル領域における結晶状態、すなわちドメインの状態を均一化させ、結果として基板上の各TFT間の特性を均一化するので、TFT間の特性ばらつきが少なく、安定した特性を有する高性能な半導体装置を提供することができる。

【0108】また、この第2実施形態の半導体装置の製造方法にしたがって作製したCMOS構造回路において、それぞれのTFTの電界効果移動度はN型TFTで $210\sim 250\text{cm}^2/\text{Vs}$ 、P型TFTで $120\sim 150\text{cm}^2/\text{Vs}$ と高く、しきい値電圧は、N型TFTで1V程度、P型TFTで-1.5V程度と非常に良好な特性を示した。また、従来問題となっていた特性ばらつきが、電界効果移動度で $\pm 10\%$ 程度、しきい値電圧で $\pm 0.2\text{V}$ 程度(基板として $400\times 320\text{mm}$ のサイズを用い、基板内200点測定の結果)に抑えることができた。また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、従来のものと比べて非常に信頼性が高く、安定した回路特性を示した。

【0109】以上、この発明の半導体装置およびその製造方法を第1, 第2実施形態により具体的に説明したが、この発明はこれら第1, 第2実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0110】例えば、マスク形状としては、上記第1, 第2実施形態では、代表例として円形と正方形を用いたが、多角形や長方形等でも良く、少なくともチャンネル領

域内を異なる結晶成長領域で形成すれば、この発明の効果は得られる。

【0111】また、上記第1, 第2実施形態においては、触媒元素としてニッケルを導入する方法として、非晶質ケイ素膜表面をニッケル塩を溶かしたエタノール溶液を塗布する方法、または、スパッタリング法によりニッケル薄膜を形成する方法により、選択的にニッケル微量添加を行い、結晶成長させる方法を採用した。しかし、ニッケルの導入方法は、その他の様々な手法を用いることができ、例えば、ニッケル塩を溶かす溶媒として、単純に水を用いてもよいし、SOG(スピノングラス)材料を溶媒として SiO_2 膜より拡散させてもよい。また、蒸着法やメッキ法により薄膜形成する方法や、イオンドーピング法により直接導入する方法等も利用できる。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、鉄、パラジウム、白金、銅、金を用いても同様の効果が得られる。また、ニッケルをゲッタリングするための15族元素としては、リン以外に窒素、ヒ素、アンチモン、ビスマスを利用してもよい。

【0112】また、上記第1, 第2実施形態では、ニッケルにより結晶化された結晶性ケイ素膜の結晶性をさらに助長する手段として、パルスレーザーであるエキシマレーザー照射による加熱法を用いたが、それ以外のレーザー(例えば連続発振Arレーザー等)でも同様の処理が可能である。また、レーザー光の代わりに赤外光やフラッシュランプを使用して短時間に $1000\sim 1200^\circ\text{C}$ (シリコンモニターの温度)まで上昇させて試料を加熱する、いわゆるRTA(ラピッド・サーマル・アニール)や RTP(ラピッド・サーマル・プロセス)等のレーザー光と同等の強光を用いてもよい。

【0113】さらに、上記第1実施形態では、半導体装置として液晶表示用のアクティブマトリクス型基板について説明したが、半導体装置はこれに限らず、例えば密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等の半導体装置にこの発明を適用してもよい。この発明を用いることで、これらの半導体装置の高速化、高解像度化等の高性能化が実現される。

【0114】

【発明の効果】以上より明らかなように、この発明の半導体装置およびその製造方法によれば、特性ばらつきの少ない安定した特性の高性能素子が実現でき、さらに、集積度の高い高性能な半導体装置が、簡便な製造プロセスで得られる。また、その製造工程において良品率を大きく向上でき、商品の低コスト化が図れる。特に、この発明の半導体装置を液晶表示装置に適用した場合、アクティブマトリクス基板に要求される画素スイッチング用のTFTのスイッチング特性を向上できると共に、周辺

駆動回路部を構成するTFTに要求される高性能化と高集積化ができ、また、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【図面の簡単な説明】

【図1】 図1(A)～(C)はこの発明の第1実施形態の半導体装置のアクティブマトリクス基板上的TFTの作製工程の概要を示す平面図である。

【図2】 図2(A), (B)は図1(C)に続くTFTの作製工程の概要を示す平面図である。

【図3】 図3(A)～(F)は上記半導体装置の作製工程図である。

【図4】 図4(A)～(C)はこの発明の第2実施形態の半導体装置のTFTの作製工程の概要を示す平面図である。

【図5】 図5(A)～(G)は上記半導体装置の作製工程図である。

【図6】 図6は六角形状のチャネル領域を形成した場合の要部の平面図である。

【図7】 図7は正方形形状のチャネル領域を形成した場合の要部の平面図である。

【図8】 図8は円形状のチャネル領域を形成した場合の要部の平面図である。

【図9】 図9は従来の半導体装置の要部の概略を示す平面図である。

【符号の説明】

101…ガラス基板、

102…下地膜、

103, 203…a-Si膜、

103a, 203a…結晶性ケイ素膜、

103b, 203b…結晶性ケイ素膜、

103c, 203c…収束点、

104, 204…マスク、

105, 205…ニッケル、

106, 206…結晶成長方向、

107, 207…リン、

108, 208…ニッケルのゲッターリング方向、

109, 209N, 209P…島状の結晶性ケイ素膜、

110…レーザー光、

111, 211…ゲート絶縁膜、

113, 213…ゲート電極、

114…陽極酸化層、

115, 215n, 215p…チャネル領域、

116, 216n, 216p…ソース領域、

117, 217n, 217p…ドレイン領域、

118, 218…レーザー光、

119, 219…層間絶縁膜、

120…ソース電極、

121…画素電極、

123…TFT、

201…石英ガラス基板、

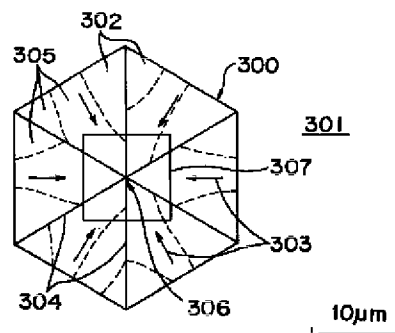
212…酸化膜(ゲート絶縁膜)、

222…電極・配線、

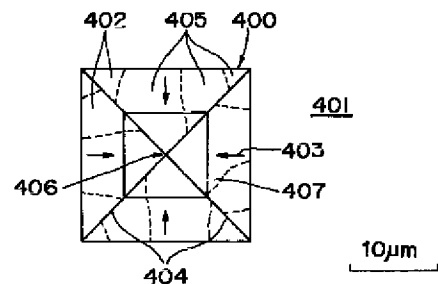
224…Nチャネル型TFT、

225…Pチャネル型TFT。

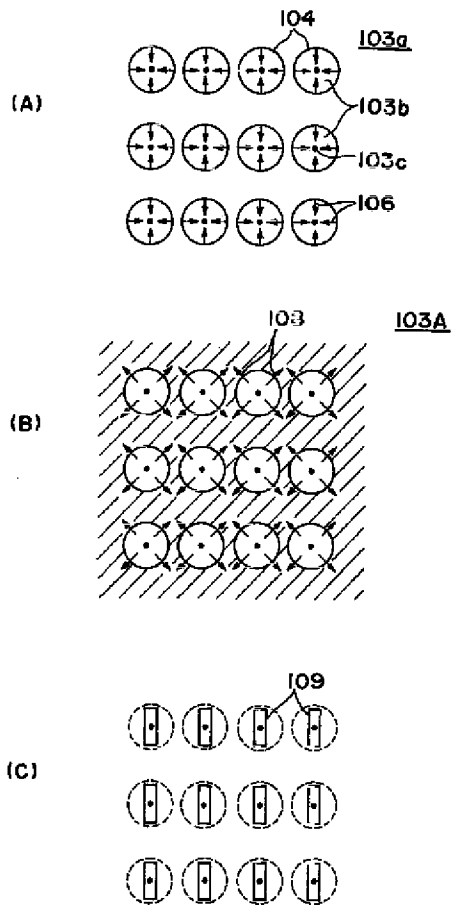
【図6】



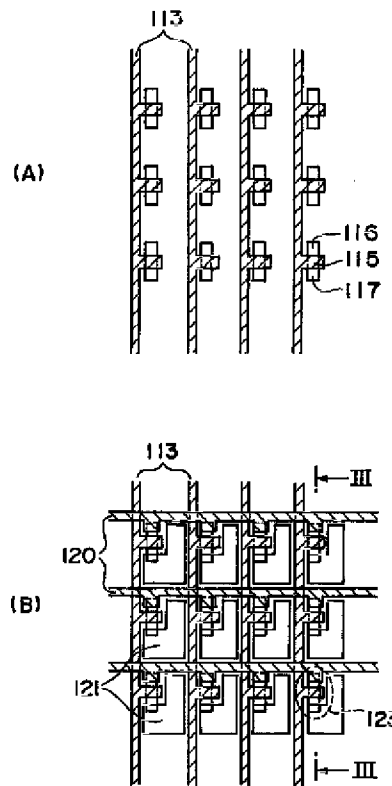
【図7】



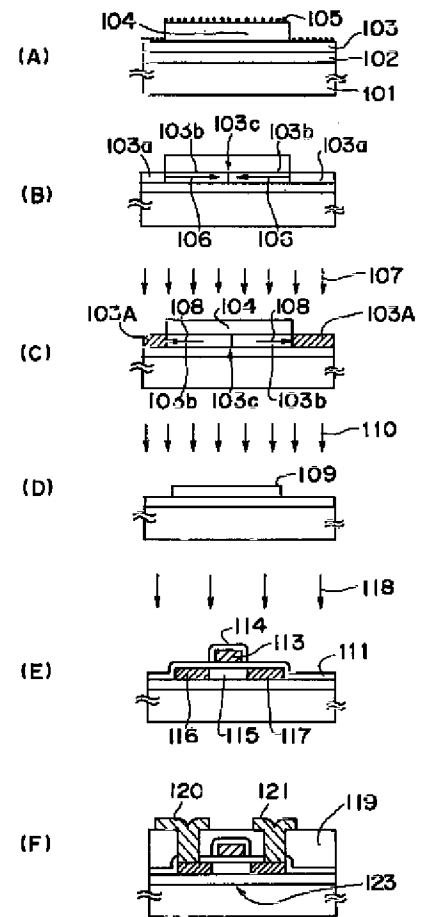
【図1】



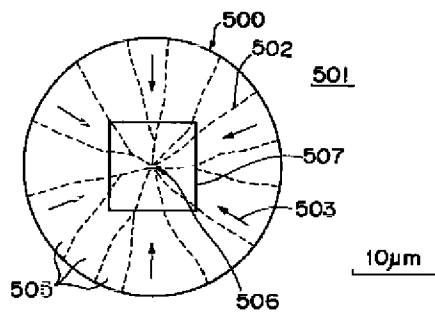
【図2】



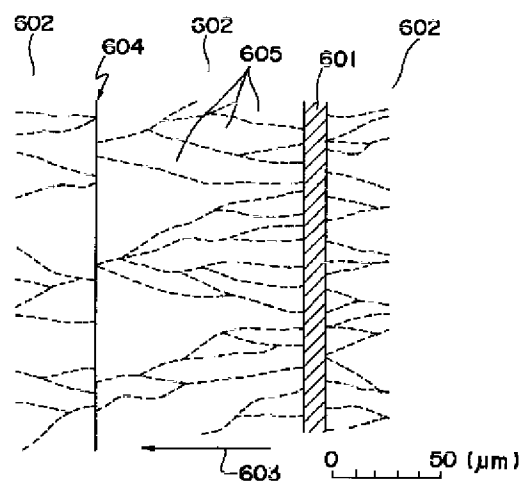
【図3】



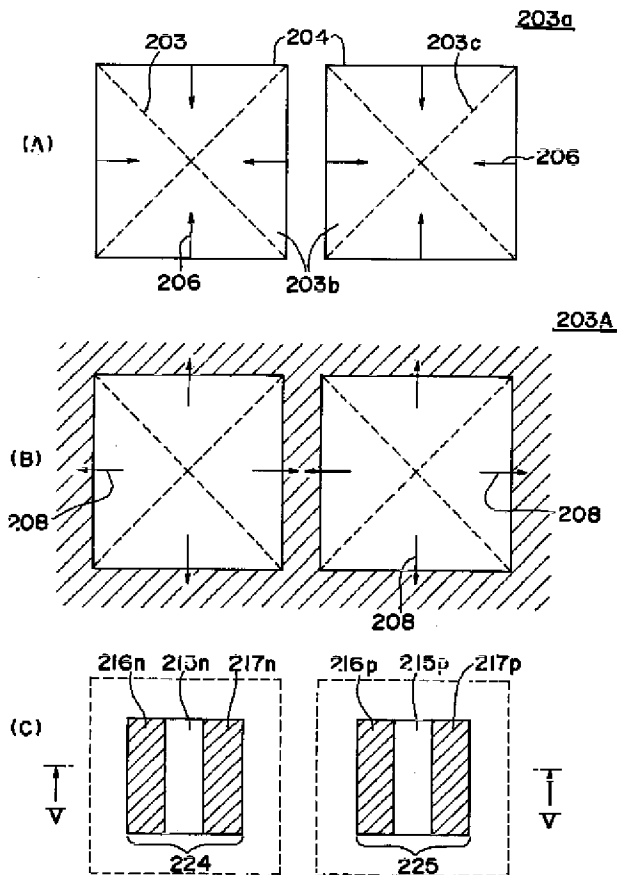
【図8】



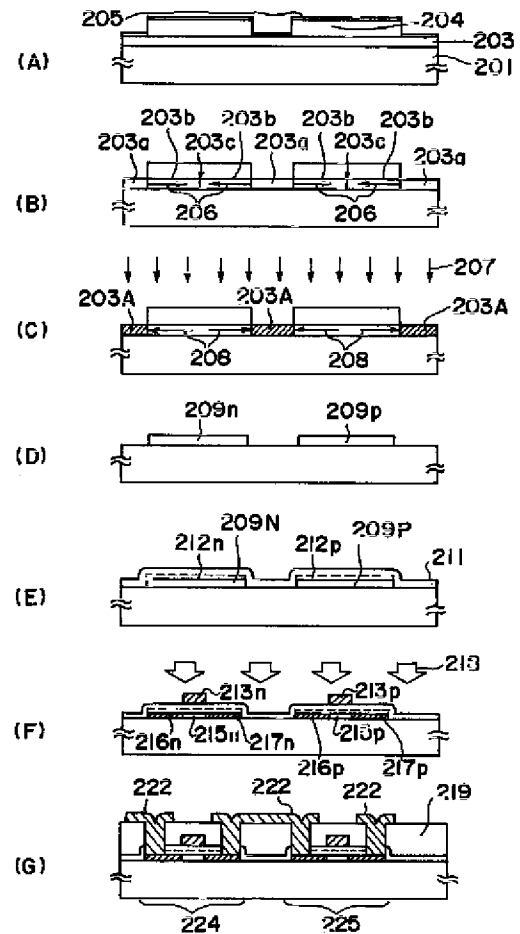
【図9】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5F052 AA02 AA11 BA02 BA07 BB07
 DA02 DB02 DB03 FA06 FA19
 HA06 JA01 JA04
 5F110 AA28 AA30 BB02 BB04 BB10
 BB11 CC02 DD02 DD03 DD13
 EE03 EE06 EE34 EE44 FF02
 FF29 FF30 FF32 FF36 GG02
 GG13 GG25 GG32 GG45 GG47
 GG52 GG58 HJ01 HJ12 HJ23
 HL01 HL03 HL07 HL11 HM14
 NN02 NN23 NN24 NN35 NN72
 PP01 PP02 PP03 PP04 PP10
 PP23 PP27 PP29 PP34 PP38
 QQ11 QQ23 QQ24 QQ28

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-308334**

(43)Date of publication of application : **02.11.2001**

(51)Int.Cl. **H01L 29/786**

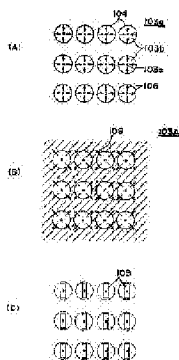
H01L 21/336

H01L 21/20

(21)Application number : **2000-120867** (71)Applicant : **SHARP CORP**

(22)Date of filing : **21.04.2000** (72)Inventor : **MAKITA NAOKI**

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of high performance, which has stable characteristics with less irregularity, and a manufacturing method of a semiconductor device of high productivity wherein a stable manufacturing process of high yield which can cope with a substrate of

large area can be realized.

SOLUTION: A crystalline silicon film 103b becoming a channel region of an active region of a TFT is constituted of a plurality of columnar crystals, wherein Ni for promoting crystal growth of an amorphous silicon film is selectively introduced in the amorphous silicon film formed on a glass substrate by using a mask 104. Then crystal growth is performed in the lateral direction along a surface of the glass substrate by heat treatment. The above channel region of the TFT is constituted of columnar crystal groups composed of a plurality of different face orientations, so that characteristic of each TFT is made uniform.

LEGAL STATUS

[Date of request for examination] 31.10.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. The above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. It is the semiconductor device characterized by consisting of two or more columnar crystals made [the longitudinal direction] to carry out crystal growth along the insulating front face of the above-mentioned substrate, and the channel field in the active region of the above-mentioned component being constituted by the above-mentioned columnar crystal group which consists of different field bearing.

[Claim 2] It is the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. The above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. It is the semiconductor device which a longitudinal direction is made to carry out crystal growth along the insulating front face of the above-mentioned substrate, and is characterized by the channel field in the active region of the above-mentioned component being constituted from two or more different directions by two or more crystal growth fields which carried out crystal growth.

[Claim 3] It is the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. The above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. It is the semiconductor device which a longitudinal direction is made to carry out crystal growth along the insulating front face of the above-mentioned substrate, and is characterized by the channel field in the active region of the above-mentioned component containing the boundary section with which two or more crystal growth fields which carried out crystal growth from two or more different directions collide one or more.

[Claim 4] The semiconductor device which is a semiconductor device according to claim 3, and is characterized by being collided and completed as the center section of the above-mentioned channel field by two or more above-mentioned crystal growth fields.

[Claim 5] The semiconductor device characterized by the catalyst element which promotes crystallization of the above-mentioned amorphous silicon film being nickel in claim 1 thru/or the semiconductor device of any one publication of four.

[Claim 6] The semiconductor device which sets to claim 1 thru/or the semiconductor device of any one publication of five, and is characterized by the concentration of nickel in the above-mentioned active region being 1×10^{16} - 5×10^{17} atoms/cm³.

[Claim 7] The process which forms the amorphous silicon film on the substrate which is the manufacture approach of the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region, and has the above-mentioned insulating front face, So that the field used as the active region of the above-mentioned component may be surrounded on some above-mentioned amorphous silicon film The process which introduces alternatively the catalyst element which promotes crystallization for the amorphous silicon film, and after introducing the above-mentioned catalyst element alternatively, by heat-

treatment The process made [the field to which the above-mentioned catalyst element is not introduced from the field where the above-mentioned catalyst element was introduced] to carry out crystal growth to a longitudinal direction along the insulating front face of the above-mentioned substrate, The manufacture approach of the semiconductor device characterized by having the process which carries out patterning of the above-mentioned crystalline silicon film so that the channel field in the active region of the above-mentioned component may be arranged at least to the field made [the above-mentioned longitudinal direction of the crystalline silicon film crystallized by the above-mentioned heat-treatment] to carry out crystal growth.

[Claim 8] The crystal growth of the longitudinal direction which produces from the field where the above-mentioned catalyst element was introduced in the manufacture approach of a semiconductor device according to claim 7 is the manufacture approach of the semiconductor device which advances toward the center section of the channel field of the above-mentioned component, and the becoming field, and is characterized by to make it converge so that the crystal-growth field of the longitudinal direction which carried out crystal growth from a different direction may collide in the center section of the above-mentioned channel field.

[Claim 9] The manufacture approach of the semiconductor device characterized by adding the above-mentioned catalyst element to the field of the above-mentioned amorphous silicon film which prepares a mask on the above-mentioned amorphous silicon film, and is not covered with the above-mentioned mask in the process which introduces the above-mentioned catalyst element into some above-mentioned amorphous silicon film alternatively in the manufacture approach of a semiconductor device according to claim 7 or 8.

[Claim 10] It is the manufacture approach of a semiconductor device that the above-mentioned mask is a regular-polygon configuration in the manufacture approach of a semiconductor device according to claim 9, and the core of the mask of the regular-polygon configuration is characterized by being arranged in

the channel field of the above-mentioned component, and the becoming field.

[Claim 11] The manufacture approach of the semiconductor device characterized by containing the boundary section formed when being collided and completed in the manufacture approach of a semiconductor device according to claim 10 by the crystal growth field which carried out crystal growth toward the core bottom of the above-mentioned mask , respectively from each side side of the mask of the above-mentioned regular polygon configuration in the channel field of the above-mentioned component , and the becoming field .

[Claim 12] The manufacture approach of the semiconductor device characterized by the above-mentioned mask being a square configuration in the manufacture approach of a semiconductor device according to claim 10 or 11.

[Claim 13] It is the manufacture approach of a semiconductor device that the above-mentioned mask is a circle configuration in the manufacture approach of a semiconductor device according to claim 9, and the core of the mask of the circle configuration is characterized by being arranged in the channel field of the above-mentioned component, and the becoming field.

[Claim 14] The manufacture approach of the semiconductor device characterized by containing the boundary section formed when being collided and completed in the manufacture approach of a semiconductor device according to claim 13 by the crystal growth field which carried out crystal growth toward the bottom field of the core of the above-mentioned mask from the periphery section of the mask of the above-mentioned circle configuration in the channel field of the above-mentioned component , and the becoming field .

[Claim 15] In the manufacture approach of claim 7 thru/or the semiconductor device any one publication of 14 The process which introduces at least the element chosen from five groups B into the channel field of the above-mentioned component and fields other than the becoming field of the crystalline silicon film made [the longitudinal direction] to carry out crystal growth along the insulating front face of the above-mentioned substrate, The manufacture approach of the semiconductor device characterized by having the process which moves the

above-mentioned catalyst element to the field of the above-mentioned crystalline silicon film with which the element chosen from the five above-mentioned group B was introduced by heat-treatment after introducing the element chosen from the five above-mentioned group B.

[Claim 16] The manufacture approach of the semiconductor device characterized by using the mask used in the process which introduces the element chosen from the five above-mentioned group B in the manufacture approach of a semiconductor device according to claim 15 at the process which introduces the above-mentioned catalyst element into some above-mentioned amorphous silicon film alternatively.

[Claim 17] The manufacture approach of the semiconductor device characterized by using at least one element in P, N, As, Sb, and Bi as an element chosen from the five above-mentioned group B in the manufacture approach of a semiconductor device according to claim 15 or 16.

[Claim 18] The manufacture approach of the semiconductor device characterized by using at least one element in nickel, Co, Fe, Pd, Pt, Cu, and Au as a catalyst element in the manufacture approach of claim 7 thru/or the semiconductor device any one publication of 17.

[Claim 19] The manufacture approach of the semiconductor device which carries out patterning of the above-mentioned crystalline silicon film, and is characterized by having the process which forms the active region of the above-mentioned component, and the process which oxidizes the above-mentioned active-region front face by heat-treatment after the process of the above-mentioned patterning, and by the oxidizing atmosphere in the manufacture approach of claim 7 thru/or the semiconductor device any one publication of 18.

[Claim 20] The manufacture approach of the semiconductor device which carries out patterning of the above-mentioned crystalline silicon film, and is characterized by having the process which forms the active region of the above-mentioned component, and the process which irradiates strong light after the process of the above-mentioned patterning in the above-mentioned active region

in the manufacture approach of claim 7 thru/or the semiconductor device any one publication of 18.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approaches, such as an active matrix liquid crystal indicating equipment using the thin film transistor (TFT) prepared on the substrate which has especially an insulating front face, a contact type image sensor, and a three-dimensional IC, about the semiconductor device equipped with the component using the crystalline silicon film which crystallized the amorphous silicon film as an active region, and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, it is large-sized and the attempt which forms a highly efficient component on insulating substrates, such as glass, and an insulator layer towards the implementation to the contact type image sensor of high resolution, a three-dimensional IC, etc. at the liquid crystal display

of high resolution and a high speed is made. It is common to use a thin film-like silicon semi-conductor for the component used for these equipments. It is divided roughly into two although it consists of a silicon semi-conductor which has what consists of an amorphous silicon semi-conductor (a-Si), and crystallinity as a thin film-like silicon semi-conductor.

[0003] The above-mentioned amorphous silicon semi-conductor has low production temperature, and it is possible to produce comparatively easily by the gaseous-phase method, since it is rich in mass-production nature, most generally it is used, but since physical properties, such as conductivity, are inferior compared with the silicon semi-conductor which has crystallinity, in order to acquire a high-speed property more, establishment of the production approach of the semiconductor device which consists of a silicon semi-conductor which has crystallinity is called for strongly. In addition, polycrystal silicon, microcrystal silicon, etc. are known as a silicon semi-conductor which has crystallinity.

[0004] As the approach (1) of obtaining the silicon semi-conductor of the shape of a thin film which has these crystallinity How to form, directly the film which has crystallinity at the time of membrane formation (2) How to form the film which forms the amorphous semi-conductor film and has crystallinity with laser luminous energy (3) The amorphous semi-conductor film is formed and the approach of forming the film which has crystallinity etc. is learned by adding heat energy. However, since crystallization advances to a membrane formation process and coincidence by the approach of (1), thick-film-izing of the silicon film is indispensable to obtain the crystalline silicon of the diameter of a large drop, and it is difficult technically to go on the whole surface across the film which has good semi-conductor physical properties on a substrate, and to form membranes to homogeneity.

[0005] Moreover, in order to use the crystallization phenomenon of a melting solidification process, a grain boundary is processed good with the diameter of a granule, the comparatively quality crystalline silicon film is obtained, but the thing of still sufficient stability is not obtained and the approach of (2) is not enough in

the engine-performance side as a component, if the excimer laser currently present most generally used is taken for an example.

[0006] Moreover, although the approach of (3) is advantageous in the homogeneity in a substrate, and stability as compared with the approach of (1) and (2), the heat-treatment covering the long duration of about 30 hours is required of 600 degrees C, the processing time is long, and there is a problem that a throughput is low. Moreover, compared with the approach of the above (2), crystallinity is inferior by this approach of (3), although one crystal grain is comparatively as large as several micrometers since the crystal structure turns into twin crystal structure including many twin crystal defects in crystal grain. Although the technique of heat-treating in an oxygen ambient atmosphere by about 1000 more degrees C is also used as a means which raises crystallinity, at this time, only the property that electric field effect mobility of 100cm²/Vs extent is low is acquired [in / as not the process that can use a cheap glass substrate but a component property / TFT].

[0007] To these approaches, the approach of the above (3) is improved and the method of obtaining the quality crystalline silicon film is proposed by ** JP,10-199805,A ** JP,10-200113,A. By the approach of this ** and **, by using the catalyst element which promotes crystallization of the amorphous silicon film, while attaining low-temperature-izing of whenever [stoving temperature], and shortening of the processing time, crystalline improvement is aimed at. Low-temperature crystallization is performed by specifically heating, after introducing metallic elements, such as nickel and palladium, into the front face of the amorphous silicon film at a minute amount.

[0008] Crystalline-nucleus generating which used the metallic element as the nucleus first takes place at an early stage, that metallic element serves as a catalyst after that, and the mechanism of this low-temperature crystallization promotes crystal growth, and is understood because crystallization advances rapidly. These metallic elements are henceforth called a catalyst element in such semantics. The inside of one grain of the crystalline silicon film which crystallized

the crystalline silicon film which crystallization was promoted with these catalyst elements and carried out crystal growth with the usual solid phase grown method (the approach of the above (3)) is twin crystal structure, and also consists of many columnar crystal networks in the grain to having many crystal defects, and each interior of a columnar crystal is in the almost ideal single crystal condition. [0009] Furthermore, crystal growth is made to perform in a longitudinal direction (direction parallel to a substrate) from the introductory field by the approach of the above-mentioned ** and ** by crystallizing only the field where the catalyst element was introduced alternatively, leaving other parts as a condition of the amorphous silicon film, and extending heating time further by introduced and heating a catalyst element alternatively on some amorphous silicon film. Inside this longitudinal direction crystal growth field, the columnar crystal with which the growth direction was equal to the abbreviation one direction has jostled, and crystallinity serves as a still better field compared with the field where the catalyst element was introduced directly and generating of a crystalline nucleus took place at random. Therefore, high performance-ization of a component can be performed by using the crystalline silicon film of this longitudinal direction crystal growth field for the active region of a semiconductor device.

[0010] About the alternative introductory approach of the catalyst element to the amorphous silicon film at this time, the approach of the above-mentioned ** and ** is observing that introductory pattern, brought more the growth direction of the field made [a longitudinal direction] to carry out crystal growth close to an one direction, and aims at the crystalline improvement in a field made [the longitudinal direction] to carry out crystal growth.

[0011] concrete -- the above-mentioned ** -- a catalyst element installation field -- component size -- comparing -- a very long line -- carrying out -- the line -- it arranges so that a field may be arranged in a stripe condition. thereby -- a line -- the catalyst element introduced into the field -- the line -- the field which carried out crystal growth of the crystal growth perpendicularly to the field in a lifting (that is, the growth direction does not emit to all directions) and its longitudinal

direction serves as quality crystalline silicon film with which the crystal growth direction gathered in the about 1 direction. two more lines -- in the field across which it faced in the field, since lateral crystal growth is stabilized, the active region of a semiconductor device is formed using the crystalline silicon film of this field. And high-performance-izing of a component and stabilization of a creation process are attained.

[0012] Moreover, similarly, by making the introductory field of a catalyst element into a line, on the other hand, tropism is strengthened and the above-mentioned ** aims the crystal growth in a longitudinal direction crystal growth field at high performance-ization of a semiconductor device. especially -- the above-mentioned ** -- the line of a component field and a catalyst element -- he limits physical relationship with an introductory field, and is trying for tropism to, form the active region of a semiconductor device using the good field of crystal growth on the other hand

[0013] Thus, by introducing a catalyst element alternatively, the approach of crystallizing the amorphous silicon film in a longitudinal direction can attain low-temperature-izing of whenever [stoving temperature], and shortening of heating time, and the crystallinity of the silicon film further obtained after crystallization is clearly excellent compared with other crystallization approaches.

[0014]

[Problem(s) to be Solved by the Invention] However, when TFT is created using the technique of the above-mentioned ** and **, in spite of applying the solid phase growth technique in which it is thought with it being general that dispersion is small and actually being created, it has turned out that dispersion in a component property is comparatively large. Even if property dispersion of TFT which adjoins at intervals of about dozens of micrometers especially was large and having been compared with the case where it crystallizes about the dispersion using the laser light from which dispersion poses a problem, it turned out that it is almost comparable. However, since the macroscopic substrate internal division cloth in a substrate is also further added by the approach of

crystallizing using laser light, dispersion is more large when it sees on the whole. [0015] This makes a presentiment of the conditions of the crystalline silicon film which constitutes the channel field of TFT from a dozens of micrometers scale differing greatly in terms of micro have. EBSP (Electron Backscattering Pattern) these people of whose are the newest assesment methods of a crystalline silicon thin film -- law was introduced and two-dimensional mapping of crystal orientation was performed to the crystalline silicon film created using the two above-mentioned techniques, ** and **. the line into which drawing 9 shows the result to and the catalyst element was introduced -- a field 601 -- receiving -- the line -- the horizontal growth field 602 across which it faced in the field 601 -- a line -- it became clear that adjoin mutually, and there are two or more fields (henceforth a domain) 605 where the crystal orientation of dozens of micrometer width of face and size differs greatly toward a perpendicular direction to a field 601 mostly, and they are constituted for the first time. Each field divided by the dotted line in this horizontal growth field 602 is the domain 605 where crystal orientation differs. the line with which 603 is the growth direction in lateral crystal growth and which 604 adjoins in drawing 9 here -- it is the boundary of crystal growth in which the horizontal growth field which carried out crystal growth, respectively collided, and was formed from the introductory field. Thus, it turned out that it does not break if the crystal growth of the longitudinal direction by the catalyst element will be in a uniform crystallized state, but a columnar crystal (domain 605) group with various big sizes called dozens of micrometer width of face from which crystal orientation differs adjoins mutually, and suits. Moreover, in the growth process of the longitudinal direction, contention of the domain 605 of next doors took place, and it became clear that a superior domain expanded width of face more, and it was growing up.

[0016] The size of the channel field in actual TFT is small, it is several micrometers to dozens of micrometers, and the magnitude of a field (domain 605) to which the above-mentioned crystal orientation was mostly equal has become dozens of micrometers compared with this. Therefore, in TFT located in

a line in a near distance of dozens of micrometers, which domains each channel field consists of or whether there being any paddle with which the domain boundary's is included, and a difference will arise. Therefore, the crystallized states of the crystalline silicon film which constitutes the channel field of TFT differ. Therefore, dispersion with the big property of appearing when TFT is created using the technique of the above-mentioned ** and ** is a natural thing, and the cause of main is dispersion in the columnar crystal (domain) group from which the crystal orientation in the silicon film of the longitudinal direction crystal growth which constitutes an active region differs.

[0017] Furthermore, it turns out that especially the following two approaches are effective as a means which raises further the crystallinity of the silicon film in this longitudinal direction crystal growth field.

[0018] It is the approach of one heat-treating in oxidizing atmospheres, such as oxygen, at temperature higher than the temperature which carried out crystal growth, and oxidizing a silicon film front face, and another is the approach of adding the process which irradiates strong light, such as laser. However, by the approach using the former heat treatment, by field bearing of the crystalline silicon film, since oxidation rates differ greatly, it results in promoting the crystalline difference of a domain more, and dispersion gets worse further. Moreover, since absorption efficiency changes with field bearings of the crystalline silicon film also by the approach using the latter strong light to strong light, such as laser which is the annealing light source, a result to which this also promotes the crystalline difference of a domain more is brought, and dispersion gets worse further. Therefore, although the average of a property improves with the technique of the above-mentioned ** and ** when additional processing which raises the above crystallinity is performed in order to improve the engine performance of a component, the property difference between the conventional components is increased more, and dispersion is made to have been to get worse more.

[0019] As mentioned above, in the semiconductor device using TFT which makes

the crystalline silicon film an active region, high-performance-izing and equalization of a property cannot be reconciled by the approach of the above-mentioned ** and **.

[0020] Then, the purpose of this invention has little property dispersion, and it is to offer the manufacture approach of a semiconductor device with the high productivity in which the manufacture process by which the high yield which can respond also to a large area substrate was stabilized is possible while it offers the highly efficient semiconductor device which has the stable property.

[0021]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor device of this invention It is the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. The above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. It consists of two or more columnar crystals made [the longitudinal direction] to carry out crystal growth along the insulating front face of the above-mentioned substrate, and is characterized by the channel field in the active region of the above-mentioned component being constituted by the above-mentioned columnar crystal group which consists of different field bearing.

[0022] It turned out that the crystalline silicon film which the catalyst element was introduced [film] alternatively and made the longitudinal direction it carry out crystal growth to the amorphous silicon film in abbreviation single dimension by experiment of these people is the cause of main of produce not a uniform crystallized state but property [in / it is very in the large condition of dispersion , and / in the difference in this domain / a semiconductor device] dispersion which the domain of various field bearings adjoined in fact . Based on this result, as an approach of making the component property of a semiconductor device equalizing, in the semiconductor device of this invention With constituting from two or more domains (columnar crystal group which consists of different field

bearing), the channel field which is a field of the active regions (the source / drain field, channel field) of components, such as TFT, which manages a motion of a component at least. The crystallized state in the channel field of each component, i.e., the condition of a domain, is made to equalize, and the property between each component is equalized as a result. Although there is also approach which forms in uniform field bearing the domain of the crystalline silicon film which carried out longitudinal direction crystal growth from the crystal face, it is very difficult actually. The crystalline silicon film to which the longitudinal direction was made to carry out crystal growth of the semiconductor device of this invention using a catalyst element has very large semantics at the point that property dispersion between components can be sharply reduce even if the homogeneity of the crystalline silicon film is not good on the assumption that the domain where field bearings differ adjoins and is constitute .

[0023] The semiconductor device of this invention is a semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. Moreover, the above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. A longitudinal direction is made to carry out crystal growth along the insulating front face of the above-mentioned substrate, and the channel field in the active region of the above-mentioned component is characterized by two or more different directions being consisted of by two or more crystal growth fields which carried out crystal growth.

[0024] According to the semiconductor device of the above-mentioned configuration, the channel field of the active region of the above-mentioned component Introduce a catalyst element alternatively and a longitudinal direction is made to carry out crystal growth along the insulating front face of a substrate. Two or more different directions are consisted of by two or more crystal growth fields which carried out crystal growth. It becomes the semiconductor device with which it meant that the channel field of a component consisted of two or more

different crystal domains, the crystallized state in the channel field of each component was equalized, and the property between each component was equalized as a result.

[0025] The semiconductor device of this invention is a semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. Moreover, the above-mentioned crystalline silicon film The catalyst element which promotes the crystal growth is alternatively introduced into the amorphous silicon film. A longitudinal direction is made to carry out crystal growth along the insulating front face of the above-mentioned substrate, and the channel field in the active region of the above-mentioned component is characterized by including the boundary section with which two or more crystal growth fields which carried out crystal growth from two or more different directions collide one or more.

[0026] According to the semiconductor device of the above-mentioned configuration, the channel field of the active region of the above-mentioned component Introduce a catalyst element alternatively and a longitudinal direction is made to carry out crystal growth along the insulating front face of a substrate. The channel field of the above-mentioned active region The boundary section (boundary where the crystal growth field which carried out crystal growth from another collided) of one or more crystal growth fields is included. Including the boundary where longitudinal direction crystal growth collided in the channel field A channel field is the proof constituted by the crystal growth field of two or more longitudinal directions which carried out crystal growth separately, respectively, namely, it means that the channel field consists of two or more different crystal domains. Therefore, it becomes the semiconductor device with which the crystallized state in the channel field of each component was equalized, and the property between each component was equalized as a result.

[0027] Moreover, the semiconductor device of 1 operation gestalt is characterized by being collided and completed as the center section of the above-mentioned channel field by two or more above-mentioned crystal growth

fields.

[0028] According to the semiconductor device of the above-mentioned operation gestalt, when being collided and completed as the center section of the above-mentioned channel field by two or more above-mentioned crystal growth fields, the almost same crystallized state is acquired and the channel field of each component not only consists of two or more crystal domains, but can equalize the property between each component more effectively and certainly.

[0029] the above -- in which semiconductor device, the active region (especially channel field) is constituted by the quality crystalline silicon film crystallized by heat-treatment using the catalyst element. Therefore, in the semiconductor device obtained by this invention, or contains a little the catalyst element which remained to that active region, and it serves as a basis which can specify the semiconductor device of this invention. As a class of catalyst element which can be used in this invention, nickel, Co, Fe, Pd, Pt, Cu, and Au are mentioned. If it is a kind or two or more kinds of elements which were chosen from these, there is effectiveness of crystallization promotion in a minute amount, it is strong in the inactive inclination in the inside of a semi-conductor (crystalline silicon) comparatively, and the electric bad influence in a semiconductor device can be stopped. Therefore, it is contained [a certain amount of / any of these elements they are / amount to an active region, and] in the semiconductor device of this invention.

[0030] Moreover, the semiconductor device of 1 operation gestalt is characterized by the catalyst element which promotes crystallization of the above-mentioned amorphous silicon film being nickel.

[0031] According to the semiconductor device of the above-mentioned operation gestalt, when nickel is used for a catalyst element, it turns out that the most remarkable effectiveness is acquired. The following models can be considered about the reason. That is, it is the model of it not acting if a catalyst element is independent, but acting on crystal growth by combining with the silicon film and silicide-izing, and the crystal structure at that time acting like a kind of mold at the

time of amorphous silicon film crystallization, and urging crystallization of the amorphous silicon film. With this model, the silicide of NiSi_2 is formed by one nickel and two Si. This NiSi_2 shows the crystal structure of a fluorite mold, and that crystal structure is very similar with the diamond structure of single crystal silicon. And the lattice constant is 5.406Å and NiSi_2 has a value very near the lattice constant of 5.430Å of the diamond structure of crystal silicon. Therefore, NiSi_2 is the highest thing as mold for crystallizing the amorphous silicon film, and even if it looks at the crystallinity of the crystalline silicon film actually obtained, and the catalyst effectiveness of the promotion of crystallization, the thing with most sufficient nickel as a catalyst element is infallible [NiSi]. Therefore, in the semiconductor device of this invention, a certain amount of [nickel] thing being done for amount survival serves as proof as a result of pulling out this effect of the invention most effectively in that active region, using nickel as a catalyst element.

[0032] Moreover, the semiconductor device of 1 operation gestalt is characterized by the concentration of nickel in the above-mentioned active region being 1×10^{16} - 5×10^{17} atoms/cm³.

[0033] If it is the amount in which the concentration of nickel in the above-mentioned active region exceeds 5×10^{17} atoms/cm³ according to the semiconductor device of the above-mentioned operation gestalt, many fields which are unevenly distributed all over an active region (silicon film) as nickel silicide will appear, and it will come to have a bad influence on the property of a broth and a component. On the other hand, the concentration of nickel is considered that nickel is in the condition that a deposit is hardly carried out as silicide, but it dissolves in the silicon film, and is included in the crystal defect in a three or less 5×10^{17} atoms/cm amount. In such the condition, the bad influence to a component is not seen, but when nickel silicide begins to deposit, the bad influence on a property is seen. Moreover, conversely, it is not thought that it fully crystallized using the catalyst effectiveness of nickel, and this effect of the invention is not then obtained so that there may be less concentration of nickel

which remains all over an active region than 1×10^{16} atoms/cm³. For example, in the back process after crystallization, even if it uses the approach that the amount of nickel of an active region is reduced, when crystal growth of the nickel of amount sufficient as a catalyst is introduced and carried out, it cannot be made to fall even to a three or less 1×10^{16} atoms/cm amount, but nickel of the amount beyond this surely remains. Therefore, in the semiconductor device of this invention, when the concentration of nickel contained all over the active region is 1×10^{16} - 5×10^{17} atoms/cm³, it is in the condition of having pulled out this effect of the invention most.

[0034] Moreover, the manufacture approach of the semiconductor device this invention is the manufacture approach of the semiconductor device equipped with the component using the crystalline silicon film formed on the substrate which has an insulating front face as an active region. On the process which forms the amorphous silicon film on the substrate which has the above-mentioned insulating front face, and some above-mentioned amorphous silicon film, so that the field used as the active region of the above-mentioned component may be surrounded The process which introduces alternatively the catalyst element which promotes crystallization for the amorphous silicon film, and after introducing the above-mentioned catalyst element alternatively, by heat-treatment The process made [the field to which the above-mentioned catalyst element is not introduced from the field where the above-mentioned catalyst element was introduced] to carry out crystal growth to a longitudinal direction along the insulating front face of the above-mentioned substrate, It is characterized by having the process which carries out patterning of the above-mentioned crystalline silicon film so that the channel field in the active region of the above-mentioned component may be arranged at least to the field made [the above-mentioned longitudinal direction of the crystalline silicon film crystallized by the above-mentioned heat-treatment] to carry out crystal growth.

[0035] According to the manufacture approach of the above-mentioned semiconductor device, the catalyst element which promotes the crystallization is

alternatively introduced into some amorphous silicon film formed on the substrate which has the above-mentioned insulating front face so that the field used as the active region of a component may be surrounded. And it heat-treats and crystal growth is made to perform to the field to which the catalyst element is not introduced from the field where the catalyst element of the amorphous silicon film was introduced in a longitudinal direction (parallel to a substrate) along the insulating front face of the above-mentioned substrate. Since it is the translation introduced alternatively as the catalyst element at this time surrounds the field used as a next active region, after the field where the catalyst element was introduced directly first is crystallized by heat treatment, crystal growth advances in a longitudinal direction from all directions toward the field used as the active region of a component by it behind. And it will be surrounded by the introductory field of this catalyst element, and the channel field of a component will be constituted by two or more domains by forming the channel field in the active region of a component in a longitudinal direction at least using the crystalline silicon film which carried out crystal growth. By the manufacture approach of this semiconductor device, without making a process increase as compared with the former, the pattern configuration into which a catalyst element is introduced is only changed, it is very simple, and productivity is high, and there is very big effectiveness also in property equalization of a component.

[0036] Moreover, the crystal growth of the longitudinal direction which produces the manufacture approach of the semiconductor device of 1 operation gestalt from the field where the above-mentioned catalyst element was introduced progresses toward the center section of the channel field of the above-mentioned component, and the becoming field, and is characterized by making it converge so that the crystal growth field of the longitudinal direction which carried out crystal growth from a different direction may collide in the center section of the above-mentioned channel field.

[0037] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, the crystal growth to the longitudinal

direction produced from the field where the above-mentioned catalyst element was introduced. By making it progress toward the channel field of the component formed behind, and the becoming field center section, and making it converge so that the crystal growth field of the longitudinal direction which carried out crystal growth from a direction which is different in the center section of the channel field may collide. The almost same crystallized state is acquired, consequently the channel field of each component not only consists of two or more crystal domains, but can equalize the property between each component more effectively and certainly.

[0038] Moreover, in the process which introduces the above-mentioned catalyst element into some above-mentioned amorphous silicon film alternatively, the manufacture approach of the semiconductor device of 1 operation gestalt prepares a mask on the above-mentioned amorphous silicon film, and is characterized by adding the above-mentioned catalyst element to the field of the above-mentioned amorphous silicon film which is not covered with the above-mentioned mask.

[0039] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, the approach of performing by preparing the mask formed and processed on the amorphous silicon film, and adding a catalyst element from the above-mentioned mask top after formation of the amorphous silicon film, as a means to introduce alternatively the catalyst element to the above-mentioned amorphous silicon film, is effective. That is, it becomes possible to control correctly the configuration of an introductory pattern, and physical relationship with a component field by using the mask processed according to the FOTORISO process. Especially, by the manufacture approach of this semiconductor device, the physical relationship of the introductory pattern configuration of a catalyst element and a component field is more important than before.

[0040] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by for the above-mentioned mask being a

regular-polygon configuration, and arranging the core of the mask of the regular-polygon configuration in the channel field of the above-mentioned component, and the becoming field.

[0041] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, as a pattern configuration of the mask when introducing the above-mentioned catalyst element into the amorphous silicon film alternatively By seeing superficially, forming the mask of a regular-polygon configuration, introducing a catalyst element into the field of the amorphous silicon film of the outside of the mask, and arranging the channel field of a component to the abbreviation core of a regular-polygon configuration The growth domain from each side of a regular-polygon configuration carries out crystal growth to homogeneity toward the field (channel field of a component) of the core bottom of the regular-polygon configuration.

[0042] moreover , the manufacture approach of the semiconductor device of 1 operation gestalt be characterize by contain the boundary section form when collide and complete by the crystal growth field which carried out crystal growth toward the core bottom of the above-mentioned mask , respectively from each side side of the mask of the above-mentioned regular polygon configuration in the channel field of the above-mentioned component , and the become field .

[0043] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, the crystalline region which carried out crystal growth toward the inside (polygonal core), more nearly respectively than each side of a regular-polygon configuration collides, and the domain where it differs more than the polygonal number of angles at least adjoins, and it suits in the core of the mask of the above-mentioned regular-polygon configuration. By arranging the channel field of a component to the field of the core bottom of this mask, that channel field certainly includes two or more crystal domains.

[0044] The channel field of a component will be constituted from constituting this semiconductor device by the crystal domain where it differs more than the number of angles of a regular polygon at least so that the central point of the

mask of this regular-polygon configuration, i.e., the boundary section of crystal growth, may be especially included in the channel field of a component. In this semiconductor device, all the components formed by being in the same condition even if it sees which component on a substrate, and doing in this way consist of conditions that an active region is almost the same, and can reduce property dispersion between components greatly. If this is explained by a diagram, it becomes like drawing 6 and the case where a hexagon is used as a polygon is shown. In drawing 6, the growth boundary where in the introductory field of a catalyst element and 302, as for a horizontal growth field and 303, the crystal growth direction collided, and, as for 304, longitudinal direction crystal growth collided [300 / a mask and 301], the columnar crystal (domain) group from which, as for 305, field bearing differs, the central point which the crystal growth from each side collides and converges 306, and 307 are the channel fields of a component.

[0045] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by the above-mentioned mask being a square configuration.

[0046] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, since the above-mentioned mask is a square configuration, it is the easiest to perform a layout and a square can make dead space the smallest on a component layout, it becomes advantageous to the densification of a component, i.e., high integration. That is, the very high-concentration catalyst element remains, and since it is better for using into an active region to avoid the field where the catalyst element was introduced, it serves as dead space in a component layout. Moreover, in the case of a square mask, since the flat-surface configuration of a component is an abbreviation rectangle, each side can be doubled, a tooth space can be packed, and dead space is the smallest and ends. Since the crystalline region 402 which carried out crystal growth toward the inside (a square core; 403 directions) from four sides each of a mask 400, respectively collides and the central point 406 is formed as

shown in drawing 7 when the mask of this square configuration is used, at least four or more different domains 405 will adjoin there, and it will suit. Consequently, it is clear number's of the domains which the channel field 407 of a component will consist of at least four different crystal domains, and constitute the inside of a channel field compared with the hexagon of drawing 6 to decrease. However, this [property homogeneity's of a component] also improved greatly compared with the former (a domain is one or two), and the homogeneity has reached practical use level.

[0047] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by for the above-mentioned mask being a circle configuration and arranging the core of the mask of the circle configuration in the channel field of the above-mentioned component, and the becoming field.

[0048] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, a round shape is very effective as a selection installation mask pattern of the above-mentioned catalyst element in addition to the above-mentioned regular-polygon configuration. That is, as shown in drawing 8 , it is desirable to see a catalyst element superficially as a pattern configuration of the mask when introducing into the amorphous silicon film alternatively, to form the mask 500 of a circle configuration, to introduce a catalyst element into the field 501 of the outside, and to arrange the channel field 507 of a component to the abbreviation core 506 of a circle configuration. When a mask pattern is circular, a growth boundary where the field which carried out [the field] crystal growth inside from each side like [at the time of being a regular-polygon configuration], and carried out crystal growth from the adjacent side, respectively collides does not appear. As shown in drawing 8 , the boundary (it converged) section with which the field which carried out crystal growth inside (the direction of 503) from the periphery section only in the core 506 collided is seen. Because, when a mask is circular, as a point which is different on the time of a regular-polygon configuration, and a decision target, a domain does not disappear because crystal growth collides, but contention of a

natural domain takes place, and only a superior crystal domain sets and survives like the growth fault. Therefore, in order that it not only consists of the periphery sections in two or more different domains which carried out crystal growth, but the domain of superior bearing may remain in crystal growth, respectively, when the mask of a polygon configuration is used, even if it compares the crystallized state, homogeneity is more high [a crystallized state] in the core.

[0049] moreover , the manufacture approach of the semiconductor device of 1 operation gestalt be characterize by contain the boundary section form when collide and complete by the crystal growth field which carried out crystal growth toward the bottom field of the core of the above-mentioned mask from the periphery section of the mask of the above-mentioned circle configuration in the channel field of the above-mentioned component , and the become field .

[0050] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt , the channel field of a component be not only constitute from the central point of the mask of the above-mentioned circle configuration , i.e. , the point which crystal growth converge , be made to be include in the channel field of a component at least by two or more different crystal domains , but will be constitute from a crystal domain of superior bearing by especially crystal growth . All channel fields consist of almost same conditions, and the component formed by being in the same condition even if this looks at which component on a substrate, and doing in this way can suppress property dispersion between components small especially.

[0051] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt The process which introduces at least the element chosen from five groups B into the channel field of the above-mentioned component and fields other than the becoming field of the crystalline silicon film made [the longitudinal direction] to carry out crystal growth along the insulating front face of the above-mentioned substrate, After introducing the element chosen from the five above-mentioned group B, it is characterized by having the process which moves the above-mentioned catalyst element to the field of the above-mentioned crystalline

silicon film with which the element chosen from the five above-mentioned group B was introduced by heat-treatment.

[0052] The silicide reaction of a catalyst element and amorphous silicon occurs first, and, as for the crystal growth of the amorphous silicon film by the catalyst element, silicide causes the crystal growth of the amorphous silicon film. That is, at the tip of crystal growth, the silicide of a catalyst element always exists, and the amorphous silicon which has it ahead is crystallized one after another at it. The growth boundary formed when being collided and completed by longitudinal direction crystal growth finally is a field where the silicide of the catalyst element which always exists at a tip by the growth process exists by high concentration very much by becoming snowdrift. A catalyst element mainly gets down from metals, that such an element exists so much in a semi-conductor checks the dependability and electric stability of a component which used these semi-conductors, and it is never desirable. Especially, these silicide causes the big problem that the leakage current at the time of off actuation increases in TFT. Since a channel field is constituted from such two or more crystal domains, the catalyst element is carrying out localization to especially the channel field by high concentration. For this reason, how the catalyst element which is carrying out localization by high concentration into the channel field on the growth boundary is reduced poses a big problem.

[0053] On the other hand, by the manufacture approach of this semiconductor device, after using a catalyst element for crystallization processing of the amorphous silicon film, this problem is solved by moving most catalyst elements which remain in that silicon film to fields other than a component formation field. After performing crystallization by the catalyst element, the element chosen as fields other than the field used as the channel field of a component of the crystalline silicon film from five groups B behind is specifically introduced at least. By heat-treatment The amount of catalyst elements in the channel field of a component can be greatly reduced as a result by moving the catalyst element which is used for crystal growth and mainly remains on a growth boundary to the

field to which the element chosen from the five above-mentioned group B was introduced. Especially the manufacture approach of this semiconductor device has a bad influence effective in the catalyst element of a large silicide condition to a semi-conductor property. And if a 5 group B element is introduced, the field in which the catalyst element was brought together is removed and the active region of a final component is formed, on a substrate, the high concentration field of a catalyst element will not remain at all.

[0054] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by using the mask used at the process which introduces the above-mentioned catalyst element into some above-mentioned amorphous silicon film alternatively in the process which introduces the element chosen from the five above-mentioned group B.

[0055] If the mask used as a mask when introducing the element chosen from five groups B according to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt when introducing the above-mentioned catalyst element alternatively at a previous process is used as it is, it is not necessary to newly process and form a mask, and a process will not increase greatly. Therefore, the amount of catalyst elements can be reduced that it is simple and efficiently.

[0056] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by using at least one element in P, N, As, Sb, and Bi as an element chosen from the five above-mentioned group B.

[0057] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, as an element chosen from the five above-mentioned group B, at least one element chosen from P, N, As, Sb, and Bi can be used. If it is a kind or two or more kinds of elements which were chosen from these, the above-mentioned catalyst element can be moved efficiently and sufficient effectiveness will be acquired. Although still detailed knowledge is not acquired about this mechanism, it turns out also in these elements that effectiveness of P is the highest.

[0058] Moreover, the manufacture approach of the semiconductor device of 1 operation gestalt is characterized by using at least one element in nickel, Co, Fe, Pd, Pt, Cu, and Au as a catalyst element.

[0059] If it is a kind or two or more kinds of elements which were chosen from nickel, Co, Fe, Pd, Pt, Cu, and Au as the above-mentioned catalyst element according to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, there is effectiveness of crystallization promotion in a minute amount, it is strong in the inactive inclination in the inside of a semi-conductor (crystalline silicon) comparatively, and the electric bad influence in a semiconductor device can be stopped. And especially, also in these catalyst elements, when nickel is used, the most remarkable effectiveness is acquired.

[0060] Moreover, using the above-mentioned crystalline silicon film, the manufacture approach of the semiconductor device of 1 operation gestalt carries out patterning of the above-mentioned crystalline silicon film, and is characterized by having the process which forms the active region of the above-mentioned component, and the process which oxidizes the above-mentioned active-region front face by heat-treatment after the process of the above-mentioned patterning, and by the oxidizing atmosphere.

[0061] According to the manufacture approach of the semiconductor device of the above-mentioned operation gestalt, after crystallizing the amorphous silicon film by heat-treatment and carrying out patterning of the active region of a component as an approach of improving more the crystallinity of the silicon film crystallized with the catalyst element, and raising more the engine performance, especially current drive capacity of a semiconductor device, the approach of performing heat-treatment by the oxidizing atmosphere further, and oxidizing the above-mentioned active-region front face is effective. If this oxidation treatment is performed, the supersaturation Si atom produced by the oxidation is supplied into the silicon film, and these can enter into the crystal defect in the silicon film (especially azygos joint hand; dangling bond), and can extinguish a defect. The

defect density in the silicon film crystallized with the catalyst element is reduced greatly by this, and mobility improves sharply. Consequently, the engine performance of a semiconductor device improves by leaps and bounds. Especially the silicon film that carried out crystal growth with the catalyst element consists of the network structures of a columnar crystal, and since crystallinity is good from the first, compared with the silicon film of the usual solid phase growth, this effectiveness of each interior of a columnar crystal is very large.

[0062] That is, by the silicon film of the usual solid phase growth, since the twin crystal defect is included so much, even if it performs remarkable oxidation treatment, sufficient improvement cannot be achieved. Moreover, by field bearing of the crystalline silicon film, when the crystal disposition top technique by this oxidation is applied to the technique of JP,10-199805,A which is a crystal growth method using the conventional catalyst element, or JP,10-200113,A, since oxidation rates differ greatly, it results in promoting the crystalline difference of a domain more, and dispersion in a component property becomes very large.

[0063] By the manufacture approach of this semiconductor device, since the crystal domain where plurality differs in a channel field is included, even if it becomes great [the crystalline difference between dispersion and a domain] in each crystal domain more [an oxidation rate], the total-crystallinity in the channel field in each semiconductor device is almost the same, and can suppress increase of property dispersion. The crystal disposition top technique by this oxidation is used, and property dispersion is small and will not be able to realize a very highly efficient semiconductor device without this.

[0064] Moreover, using the above-mentioned crystalline silicon film, the manufacture approach of the semiconductor device of 1 operation gestalt carries out patterning of the above-mentioned crystalline silicon film, and is characterized by having the process which forms the active region of the above-mentioned component, and the process which irradiates strong light after the process of the above-mentioned patterning in the above-mentioned active region.

[0065] According to the manufacture approach of the semiconductor device of

the above-mentioned operation gestalt, it sets to this invention in addition to the above-mentioned oxidation approach. As another effective approach of improving more the crystallinity of the silicon film crystallized with the catalyst element, and raising more the engine performance, especially current drive capacity of a semiconductor device After crystallizing the amorphous silicon film by heat-treatment and carrying out patterning of the active region of a component, strong light, such as ultraviolet laser light, is irradiated at the crystalline silicon film, and there is a method of raising the crystallinity further. When strong light, such as laser, is irradiated at the crystalline silicon film, it is the translation by which the grain boundary section and a minute residual amorphous field (non-crystallized field) are intensively processed from the difference of the melting point with the crystalline silicon film and the amorphous silicon film, but by the crystalline silicon film formed with the usual solid phase grown method, since the crystal structure is in a twin crystal condition, as for the interior of crystal grain, after a strong light exposure remains as a twin crystal defect. Compared with it, the crystalline silicon film which introduced the catalyst element and was crystallized is formed with the columnar crystal, since the interior is close to a single crystal condition, the grain boundary section is processed by the exposure of strong light, and the very good crystalline silicon film is obtained. Moreover, since laser radiation is performed to the crystalline silicon film from the first, unlike the approach of carrying out direct laser radiation to the amorphous silicon film, and crystallizing, it is eased greatly and dispersion in laser radiation does not produce the problem on homogeneity, either.

[0066] However, since absorption efficiency changes with field bearings to strong light, such as laser which is the annealing light source, when crystal disposition top techniques by strong light exposure, such as this laser, are applied to the technique of JP,10-199805,A which is a crystal growth method using the conventional catalyst element, or JP,10-200113,A, it results in promoting the crystalline difference of a domain more, and property dispersion of a component becomes very large.

[0067] On the other hand, by the manufacture approach of this semiconductor device, since the crystal domain where plurality differs in a channel field is included, even if it becomes great [the crystalline difference between dispersion and a domain] in each crystal domain more [absorption efficiency], the total-crystallinity in the channel field in each component is almost the same, and can suppress increase of property dispersion. Crystal disposition top techniques by strong light, such as this laser, are used, and property dispersion is small and will not be able to realize a very highly efficient semiconductor device without this.

[0068]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of illustration explains the semiconductor device and its manufacture approach of this invention to a detail.

[0069] (The 1st operation gestalt) The semiconductor device of the 1st operation gestalt of this invention explains the process when producing N type TFT on a glass substrate. In addition, this N type TFT can be used also as a component which constitutes a thin film integrated circuit not to mention a part for the driver line of the liquid crystal display of a active-matrix mold, or a picture element part. Especially this 1st operation gestalt explains on a substrate TFT for a pixel drive of the active-matrix substrate for liquid crystal displays which needs to produce millions of [hundreds of thousands to] N type TFT to homogeneity as those representatives.

[0070] Drawing 1 (A) - (C), drawing 2 (A), and (B) are the top views showing the outline of the making process of TFT on the active-matrix substrate explained with this 1st operation gestalt. In fact, although a active-matrix substrate is based on hundreds of thousands of or more TFT(s) and constituted, this 1st operation gestalt simplifies and explains it to 12 TFT(s) of three line x4 train.

[0071] Moreover, drawing 3 (A) - (F) is the sectional view seen from the III-III line in one TFT of the arbitration in drawing 1 , and a making process carries out sequential advance according to the order of drawing 3 (A) - (F).

[0072] First, as shown in drawing 3 (A), the substrate film 102 which consists of

silicon oxide with a thickness of about 300-500nm by the sputtering method is formed on a glass substrate 101. The substrate film 102 which consists of this silicon oxide film is formed in order to prevent diffusion of the impurity from a glass substrate. Next, the intrinsic (I-beam) amorphous silicon film (a-Si film) 103 with a thickness of 20-80nm (for example, 35nm) is formed with a plasma-CVD method or a reduced pressure CVD method. With this 1st operation gestalt, using the plasma-CVD equipment of an parallel monotonous type, whenever [stoving temperature] was made into 300 degrees C, SiH₄ gas and H₂ gas were used for ingredient gas, and power density of RF power was made into 10 - 200 mW/cm² (for example, 80mW/cm²). Next, insulating thin films, such as silicon oxide film or silicon nitride film, are deposited on the a-Si film 103, patterning is carried out according to a FOTORISO process, and a mask 104 is formed. In this 1st operation gestalt, using the silicon oxide film, formation of a mask 104 used TEOS (Tetra Ethoxy ortho Silicate) as the raw material, and decomposed and deposited it by RF plasma-CVD method with oxygen. As for the thickness of this mask 104, it was desirable that it is 100nm - 400nm, and thickness of the above-mentioned silicon oxide film was set to 150nm with this 1st operation gestalt. Moreover, the pattern configuration of a mask 104 was made into the approximate circle form shown in drawing 1 (A). A mask 104 is formed 12 pieces to 12 TFT(s) (shown in drawing 2 (B)) created behind, respectively so that drawing 1 (A) may show. In the field which is not covered with a mask 104, it is exposed of the a-Si film 103.

[0073] Next, minute amount addition of nickel 105 is performed on a-Si film 103 and mask film 104 front face. Minute amount addition of this nickel 105 held the solution which melted nickel on the a-Si film 103 and a mask 104, and was performed by extending a solution to homogeneity on a glass substrate 101 by the spinner, and making it dry. Nickel concentration in a solution was set to 3 ppm with this 1st operation gestalt, using ethanol as a solvent, using nickel acetate as a solute. thus, the nickel concentration on the added a-Si film 103 and mask 104 front face -- total reflection X-ray fluorescence (TRXRF) -- when

measured by law, it was about two 2×10^{13} atoms/cm.

[0074] And the a-Si film 103 is crystallized in this condition by annealing this substrate whenever [stoving temperature] under an inert atmosphere (for example, nitrogen-gas-atmosphere mind) for 4 hours at 530-600 degrees C (for example, 570 degrees C). At this time, in the a-Si film 103 of the outside (field where direct nickel was added) of a mask 104, crystallization of the a-Si film 103 takes place by using as a nucleus the nickel 105 which exists in a-Si film 103 front face, and crystalline silicon film 103a is formed first. And succeedingly, in the field under a mask 104, in drawing 1 (A) and drawing 3 (B), as an arrow head 106 shows, crystal growth is performed in a longitudinal direction (direction parallel to a substrate) from silicon film field 103a crystallized previously toward the core of a mask 104. And finally, the longitudinal direction crystal growth of the direction of an arrow head 106 is converged on the core of a mask 104, the bottom of a mask 104 is filled with crystalline silicon film 103b which is a longitudinal direction crystal growth field, and a crystal growth boundary (convergent point 103c) is formed in the place which longitudinal direction crystal growth converged. At this time, the nickel 105 which exists on a mask 104 is obstructed by the mask 104, and it does not reach to the lower layer a-Si film of a mask 104, but crystallization of the a-Si film 103 is performed by only the nickel 105 introduced in the field to which direct nickel was added.

[0075] Next, as shown in drawing 3 (C) from the substrate 101 upper part, ion doping of Lynn 107 is carried out on the whole surface. As doping conditions for Lynn 107 at this time, acceleration voltage was set to 5-10kV, and the amount of beads was set to 5×10^{15} - 1×10^{16} cm⁻². Lynn is poured into crystalline silicon film 103a (shown in drawing 3 (B)) of the exposed field according to this process, and crystalline silicon field 103A by which the phosphorus dope was carried out is formed. On the other hand, Lynn is not doped by crystalline silicon film 103b (shown in drawing 3 (B)) of the field covered with the mask 104. Superficially, Lynn 107 is doped by crystalline silicon field 103A of the part shown with the slash in drawing 1 (B).

[0076] And this substrate is performed in this condition and heat-treatment of several hours to dozens of hours is performed at the temperature of 500-700 degrees C under an inert atmosphere (for example, nitrogen-gas-atmosphere mind). This 1st operation gestalt performed processing of 6 hours at 600 degrees C as an example. In this heat-treatment, Lynn 107 doped by crystalline silicon field 103A carries out the trap of the nickel which exists in that crystalline silicon field 103A first. And as shown in drawing 1 (B) and drawing 3 (C), it pulls out to surrounding crystalline silicon field 103A in the direction (namely, 106 and hard flow at the time of previous crystal growth) which shows crystalline silicon film 103b under a mask 104, and the nickel 105 which exists in convergent point 103c of a crystal growth boundary especially further to an arrow head 108. Consequently, the nickel concentration in the crystalline silicon film 103b field under a mask 104 is reduced greatly. When the nickel concentration in actual crystalline silicon film 103b at this time was measured according to secondary ion mass spectrometry (SIMS), about three 5×10^{16} atoms/cm decreased. In addition, the nickel concentration in the film of crystalline silicon film 103b in front of the process which reduces nickel concentration by the above-mentioned heat-treatment was 5×10^{17} - about three 1×10^{18} atoms/cm.

[0077] Next, etching removal of the mask 104 of the silicon oxide film used as a mask is carried out. As etchant, wet etching performed using the lower layer silicon film 103 and 1:10 buffered fluoric acid (BHF) with selectivity of enough.

[0078] Then, using crystalline silicon film 103b of the field covered with the mask 104, the silicon film of other unnecessary parts is removed and separation between components is performed. That is, the island-shape crystalline silicon film 109 which serves as an active region (the source / drain field, channel field) of TFT by arrangement as shown in drawing 1 (C) according to the above-mentioned process behind using the field of silicon film 103b is formed. At this time, finally in the island-shape crystalline silicon film 109, the island-shape crystalline silicon film 109 is arranged so that convergent point 103c (shown in drawing 3 (B) and (C)) of crystal growth may be contained to a channel field and

the becoming field. Thus, the condition of drawing 2 (B) and drawing 3 (D) is acquired.

[0079] Next, as shown in drawing 3 (D), the crystallinity of the island-shape crystalline silicon film 109 which serves as an active region by irradiating the laser light 110 is raised further. As a laser light at this time, the XeCl excimer laser (wavelength of 308nm, 40ns of pulse width) was used. At the time of an exposure, the exposure conditions of laser light heated the substrate at 200-450 degrees C (for example, 400 degrees C), and irradiated by energy density 250 - 450 mJ/cm² (for example, 350 mJ/cm²). Moreover, the beam size of laser light is cast so that it may become a 150mmx1mm long configuration on substrate 101 front face, and it scans sequentially with the step size of 0.05mm perpendicularly to a longitudinal direction. By this, a total of 20 laser radiation will be performed in one point of the arbitration of the island-shape crystalline silicon film 109.

[0080] Next, as shown in drawing 3 (E), the silicon oxide film with a thickness of 20-150nm (for example, 100nm) is formed as gate dielectric film 111 so that the island-shape crystalline silicon film 109 used as the above-mentioned active region may be covered. Here, TEOS (Tetra Ethoxy ortho Silicate) is used as a raw material, and with oxygen, it is 150-600 degrees C (preferably 300-450 degrees C) in substrate temperature, and decomposes and deposits by RF plasma-CVD method at formation of the silicon oxide film. Moreover, substrate temperature may be formed with a reduced pressure CVD method or an ordinary pressure CVD method with ozone gas by using TEOS as a raw material as 350-600 degrees C (preferably 400-550 degrees C). And after membrane formation of the silicon oxide film, in order to improve the own bulk property of gate dielectric film and the interface property of the crystalline silicon film / gate dielectric film, annealing of 1 - 4 hours is performed at 400-600 degrees C under an inert gas ambient atmosphere.

[0081] Then, aluminum with a thickness of 400-800nm (for example, 600nm) is formed by the sputtering method. And patterning of the aluminum film is carried out and the gate electrode 113 is formed. Furthermore, the front face of the gate

electrode 113 of this aluminum is anodized, and an oxide layer 114 is formed in a front face. This condition is equivalent to drawing 3 (E). The above-mentioned gate electrode 113 is carrying out the coincidence configuration of the gate bus line superficially, and if this condition is seen superficially, it is in the condition that it is shown in drawing 2 (A). The anodization at this time is performed in the ethylene glycol solution with which the tartaric acid was contained 1 to 5%, raises an electrical potential difference with a fixed current to 220V at first, and it is held for 1 hour and it is made to end it in that condition. Then, the thickness of the obtained oxide layer 114 is 200nm. In addition, in a next ion doping process, since this oxide layer 114 serves as thickness which forms an offset gate field, it can determine the die length of an offset gate field at the above-mentioned anodic oxidation process.

[0082] Next, an impurity (Lynn) is poured into a part of active region (island-shape crystalline silicon film 109) by the ion doping method by using the oxide layer 114 of the gate electrode 113 and its perimeter as a mask. Using phosphoretted hydrogen (PH₃) as doping gas, acceleration voltage is set to 60-90kV (for example, 80kV), and the amount of beads is set to 1×10^{15} - $8 \times 10^{15} \text{cm}^{-2}$ (for example, $2 \times 10^{15} \text{cm}^{-2}$). According to this process, the field 116,117 where the impurity was poured in turns into the source / drain field of TFT behind, and the field 115 where a mask is carried out to the gate electrode 113 and the oxidizing zone 114 of that perimeter, and an impurity is not poured in turns into a channel field of TFT behind.

[0083] Then, the crystallinity of the part into which crystallinity deteriorated at the above-mentioned impurity installation process is improved at the same time it activates the impurity which performed annealing and carried out the ion implantation by the exposure of the laser light 118, as shown in drawing 3 (E). At this time, it irradiates by energy density 150 - 400 mJ/cm² (preferably 200 - 250 mJ/cm²), using a XeCl excimer laser (wavelength of 308nm, 40ns of pulse width) as laser to be used. In this way, the sheet resistance of the formed N type impurity (Lynn) field 116,117 was 200-800ohm/**.

[0084] Then, as shown in drawing 3 (F), the silicon oxide film or the silicon nitride film with a thickness of about 600nm is formed as an interlayer insulation film 119. If it forms by using TEOS as a raw material by the plasma-CVD method (or a reduced pressure CVD method or an ordinary pressure CVD method with ozone) of this and oxygen in using the silicon oxide film, the good interlayer insulation film excellent in step coverage nature will be obtained. Moreover, if the silicon nitride film formed by the plasma-CVD method by making SiH₄ and NH₃ into material gas is used, a hydrogen atom is supplied to the interface of an active region/gate dielectric film, and it is effective in reducing the azygos joint hand of degrading a TFT property.

[0085] Next, a contact hole is formed in an interlayer insulation film 119, and the source electrode (wiring) 120 of TFT is formed with a metallic material, for example, the bilayer film of titanium nitride and aluminum. The titanium nitride film is prepared as barrier film to prevent that aluminum is spread in a semiconductor layer. Since this TFT123 is a component which switches a pixel electrode, it forms the pixel electrode 121 which consists of transperence electric conduction film, such as ITO, in another drain electrode. That is, in drawing 2 (B), a video signal is supplied through a source bus line (source electrode 120), and a charge required for the pixel electrode 121 is written in based on the gate signal of a gate bus line (gate electrode 113). And finally, 350 degrees C and annealing of 1 hour are performed in the hydrogen ambient atmosphere of one atmospheric pressure, and TFT123 shown in drawing 1 (E) and drawing 3 (F) is completed. The protective coat which consists of silicon nitride film etc. may be prepared on TFT123 in order to protect TFT123 if needed furthermore.

[0086] The channel field 115 of the active region of the above TFT123 is constituted by two or more crystal growth fields which are the columnar crystal groups which consist of field bearing where plurality differs, and carried out crystal growth from two or more different directions, and contains the boundary section with which two or more crystal growth fields which carried out crystal growth from two or more different directions collide further one or more. therefore,

every -- the crystallized state in the channel field of TFT123, i.e., the condition of a domain, is equalized -- making -- as a result -- every on a substrate -- since the property between TFT(s) is equalized, there is little property dispersion between TFT(s) and the highly efficient semiconductor device which has the stable property can be offered.

[0087] Moreover, TFT produced according to the manufacture approach of the semiconductor device of this 1st operation gestalt Although 150cm²/Vs extent and a threshold electrical potential difference have electric field effect mobility very as highly efficient as about 2V Property dispersion within a active-matrix substrate was very as good as about (result of having measured 30 points in the substrate, using the size of 400x320mm as a substrate) $\pm 0.2V$, on the threshold electrical potential difference about $\pm 10\%$ at electric field effect mobility. On the other hand, when created by the manufacture approach of the conventional semiconductor device, dispersion and dispersion of electric field effect mobility had greatly between each component the crystal domain very as large as about $\pm 50\%$, and a threshold electrical potential difference is also large in $2 \times 0.5-1.0V$, and it varied.

[0088] Therefore, in the semiconductor device of this 1st operation gestalt, it turns out that big effectiveness is in the property dispersion improvement of TFT especially. Moreover, even if it performs durability test by repeat measurement, bias, or temperature stress, property degradation is hardly seen but dependability is also satisfactory. Moreover, increase and dispersion of the leakage current in the TFT OFF field in which especially a catalyst element poses a problem do not have an abnormality point, could reduce leakage current even to number pA extent equivalent to the case where a catalyst element is not used, and were able to improve the manufacture yield greatly.

[0089] And when lighting evaluation of the active-matrix substrate for liquid crystal displays produced based on this 1st operation gestalt was actually carried out, compared with the conventional thing, display unevenness was small, there were also very few pixel defects by the leakage current of TFT, and the liquid

crystal panel of the high high display grace of a contrast ratio was obtained. In addition, although the production process of TFT by this 1st operation gestalt explained for the pixel electrode of a active-matrix substrate, it can apply this TFT easily [a thin film integrated circuit etc.], and should just give wiring which forms and needs a contact hole on a gate electrode in that case.

[0090] (The 2nd operation gestalt) The semiconductor device of the 2nd operation gestalt using this invention explains the process which produces the circumference drive circuit of the liquid crystal display of a active-matrix mold, and the circuit of the CMOS structure which constituted N type TFT which forms a common thin film integrated circuit, and P type TFT in the complementary type on a quartz-glass substrate.

[0091] Drawing 4 (A) - (C) is the top view showing the outline of the making process of TFT explained with this 2nd operation gestalt, and a process advances in order of drawing 4 (A) - (C). Moreover, drawing 5 (A) - (G) is the sectional view seen from the V-V line of drawing 4 (C), and a process advances in order of drawing 5 (A) - (G).

[0092] First, as shown in drawing 5 (A), after washing the front face of the quartz-glass substrate 201 by the low-concentration hydrofluoric acid, the intrinsic (I-beam) amorphous silicon film (a-Si film) 203 with a thickness of 40-100nm (for example, 55nm) is formed by the reduced pressure CVD method or the plasma-CVD method on the quartz-glass substrate 201.

[0093] Next, on the a-Si film 203, patterning of the insulating thin films, such as silicon oxide film or silicon nitride film, is deposited and carried out, and a mask 204 is formed. With this 2nd operation gestalt, using the silicon oxide film, formation of a mask 204 used TEOS (Tetra Ethoxy Ortho Silicate) as the raw material, and decomposed and deposited it by RF plasma-CVD method with oxygen. As for the thickness of the above-mentioned mask 204, it was desirable that it is 100nm - 400nm, and thickness of the above-mentioned silicon oxide film was set to 150nm with this 2nd operation gestalt. Moreover, the pattern configuration of a mask 204 was made into the abbreviation square as shown in

drawing 4 (A). It provides the mask 204 one [at a time] to each TFT of the N type created behind and P type, respectively so that drawing 4 (A) may show. The a-Si film 203 is exposed in the field which is not covered with this mask 204. [0094] After forming the above-mentioned mask 204, minute amount addition of nickel 205 is performed on this a-Si film 203 and mask 204 front face. DC sputtering performs minute amount addition of this nickel 205 using the target of pure nickel (99.9% or more). By the super-low power of about 50W, DC power raised the substrate bearer rate even to 2000 mm/min, and, specifically, performed sputtering processing. In this case, using an argon as sputtering gas, it is raising the gas pressure at the time of sputtering to 10Pa or more to a pure nickel target, and super-low concentration sputtering of nickel becomes possible. Thus, although the nickel 205 by which sputtering was carried out is displayed like a thin film by drawing 5 (A), it is in monoatomic layer extent or the condition not more than it in fact, and is not in the condition which can be called the film very much. When sputtering was concretely performed on the conditions of DC power 40W and 18Pa of argon gas pressure, the nickel concentration on a substrate front face (a mask 204 and exposed a-Si film 203) was about (TRXRF measured value) two 3×10^{13} atoms/cm.

[0095] And in this condition, this is annealed whenever [stoving temperature] under an inert atmosphere (nitrogen-gas-atmosphere mind) for 4 hours at 530-600 degrees C (for example, 570 degrees C), and the a-Si film 203 is crystallized. At this time, in the a-Si film 203 of the outside (field where direct nickel was added) of a mask 204, crystallization of the a-Si film 203 takes place by using as a nucleus the nickel 205 which exists in a-Si film 203 front face, and crystalline silicon film 203a is formed first. And succeedingly, in the field under a mask 204, in drawing 4 (A) and drawing 5 (B), as an arrow head 206 shows, crystal growth is performed in a longitudinal direction (direction parallel to a substrate front face) from silicon film field 203a crystallized previously toward the core of a mask 204. And the field which carried out crystal growth from each side of a mask 204 collides, and crystal growth boundary 203c is formed. Especially, in the core of a

mask 204, four horizontal growth fields which carried out crystal growth from the four sides collide. And finally the mask 204 bottom is filled with crystalline silicon film 203b which is a longitudinal direction crystal growth field. At this time, the nickel 205 which exists on a mask 204 is obstructed by the mask 204, and it does not reach to the lower layer a-Si film, but crystallization of the a-Si film 203 is performed by only the nickel 205 introduced in the field to which direct nickel was added.

[0096] Next, as shown in drawing 5 (C) from the substrate 201 upper part, ion doping of Lynn 207 is carried out on the whole surface. As doping conditions for Lynn 207 at this time, acceleration voltage was set to 5-10kV, and the amount of beads was set to 5×10^{15} - $1 \times 10^{16} \text{cm}^{-2}$. Lynn is poured into crystalline silicon film 203a of the exposed field according to this process, and crystalline silicon field 203A by which the phosphorus dope was carried out is formed. On the other hand, Lynn is not doped by crystalline silicon film 203b of the field covered with the mask 204. Superficially, Lynn 207 is doped by crystalline silicon field 203A of the part shown with the slash in drawing 4 (B).

[0097] And this is performed in this condition and heat-treatment of several hours to dozens of hours is performed at the temperature of 500-700 degrees C under an inert atmosphere (for example, nitrogen-gas-atmosphere mind). This 2nd operation gestalt performed processing of 6 hours at 600 degrees C as an example. In this heat-treatment, Lynn 207 doped by crystalline silicon field 203A carries out the trap of the nickel which exists in that crystalline silicon field 203A first. And as shown in drawing 4 (B) and drawing 5 (C), it pulls out to surrounding crystalline silicon field 203A in the direction (namely, previous crystal growth 206 and hard flow) which shows crystalline silicon film 203b under a mask 204, and the nickel 205 which exists in crystal growth boundary 203c especially further to an arrow head 208. Consequently, the nickel concentration in the crystalline silicon film 203b field under a mask 204 is reduced greatly. When the nickel concentration in actual crystalline silicon film 203b at this time was measured according to secondary ion mass spectrometry (SIMS), about three 5×10^{16}

atoms/cm decreased. In addition, the nickel concentration in the film of crystalline silicon film 203b in front of the process which reduces nickel concentration by the above-mentioned heat-treatment was 5×10^{17} - about three 1×10^{18} atoms/cm.

[0098] Next, etching removal of the silicon oxide film 204 used as a mask is carried out. As etchant, wet etching performs using the lower layer silicon film 203 and 1:10 buffered fluoric acid (BHF) with selectivity of enough.

[0099] Then, as shown in drawing 5 (D), it leaves the island-shape crystalline silicon film 209n and 209p which serves as an active region (component field) of TFT behind using crystalline silicon film 203b under a mask 204, etching removal of the other field is carried out, and separation between components is performed. That is, according to the above-mentioned process, it is arrangement as shown in drawing 4 (C), and the island-shape crystalline silicon film 209n and 209p which serves as an active region (the source / drain field, channel field) of TFT behind is formed using the field of crystalline silicon film 203b. At this time, finally in 209n of island-shape crystalline silicon film, and 209p, it arranges so that convergent point 203c (shown in drawing 5 (B)) of four crystal growth from each side of a mask 204 may be contained to the channel field 215 and the becoming field. Thus, the condition of drawing 4 (C) and drawing 5 (D) is acquired.

[0100] Next, as shown in drawing 5 (E), the silicon oxide film with a thickness of 60nm is formed as gate dielectric film 211 so that the island-shape crystalline silicon film 209n and 209p used as the above-mentioned active region may be covered. With this 2nd operation gestalt, membranes were formed with the reduced pressure CVD method in the temperature of 850 degrees C as the membrane formation approach of gate dielectric film 211 by using SiH_4 gas and N_2O gas as a raw material. It is the so-called HTO film.

[0101] Next, heat treatment in an oxidizing atmosphere is performed to the island-shape crystalline silicon film 209n and 209p in such the condition. As an ambient atmosphere, it is oxidizing atmospheres, such as oxygen, a steam, or HCl, and carried out in the oxygen ambient atmosphere of one atmospheric pressure with this 2nd operation gestalt. Moreover, 850-1100 degrees C of

temperature were desirable, and it processed at 950 degrees C in this 2nd operation gestalt.

[0102] Under such a condition, by performing annealing for 2 hours and 30 minutes, oxygen carries out spreading diffusion of the inside of gate dielectric film 211, and the front face of the lower layer island-shape crystalline silicon film 209n and 209p oxidizes. By performing oxidation treatment in the above-mentioned conditions, about 50nm oxide films 212n and 212p are formed in 209n of island-shape crystalline silicon film, and a 209p front face. Consequently, the thickness of the island-shape crystalline silicon film 209n and 209p decreases from 55nm of the first stage to 30nm. Moreover, the gate dielectric film as TFT consists of bilayers of the oxide film 211 formed of CVD, and the oxide film 212 formed of thermal oxidation of the island-shape crystalline silicon film 209n and 209p, and total thickness is set to 110nm. Moreover, a channel interface consists of island-shape crystalline silicon film 209n and 209p used as an active region, and an oxide film 212 by oxidation of the above-mentioned silicon film, and a good interface property is acquired. Furthermore, according to the above-mentioned oxidation process, azygos association in the film of the island-shape crystalline silicon film 209n and 209p (dangling bond) is reduced sharply, and the crystallinity improves greatly. Consequently, it changes with the active regions 209N and 209P by the high quality crystallinity silicon film thin-film-ized by 30nm.

[0103] Then, as shown in drawing 5 (F), by the sputtering method, aluminum (0.1 - 2% of silicon is included) with a thickness of 400-800nm (for example, 500nm) is formed, patterning of the aluminum film is carried out, and the gate electrodes 213n and 213p are formed.

[0104] Next, an impurity (Lynn and boron) is poured into active regions 209N and 209P by using the gate electrodes 213n and 213p as a mask by the ion doping method. In the case of the former phosphoretted hydrogen, acceleration voltage is set to 60-90kV (for example, 80kV), in the case of the latter diboron hexahydride, it is made into 40kV - 80kV (for example, 65kV), using phosphoretted hydrogen (PH₃) and diboron hexahydride (B₂H₆) as doping gas,

and the amount of beads is set to 1×10^{15} - $8 \times 10^{15} \text{cm}^{-2}$ (they are $2 \times 10^{15} \text{cm}^{-2}$ and boron about $5 \times 10^{15} \text{cm}^{-2}$). The field where a mask is carried out to the gate electrodes 213n and 213p by this process, and an impurity is not poured in according to it turns into the channel fields 215n and 215p of TFT behind. On the occasion of doping, when doping covers an unnecessary field by the photoresist, each element is doped alternatively. Consequently, the impurity ranges 216n and 217n of N type and the impurity ranges 216p and 217p of P type are formed, and as shown in drawing 4 (C), the N channel mold TFT224 and the P channel mold TFT225 can be formed.

[0105] Then, as shown in drawing 5 (F), by the exposure of laser 218, annealing is performed and the impurity which carried out the ion implantation is activated. As exposure conditions for laser light, 20 shots per place irradiated by energy density 250 mJ/cm^2 , using a XeCl excimer laser (wavelength of 308nm, 40ns of pulse width) as a laser light.

[0106] Then, as shown in drawing 5 (G), it forms by the plasma-CVD method by using the silicon oxide film with a thickness of 900nm as an interlayer insulation film 219, a contact hole is formed in this, and the electrode and the wiring 222 of TFT are formed with a metallic material, for example, the bilayer film of titanium nitride and aluminum. And finally, 350 degrees C and annealing of 1 hour are performed under the hydrogen ambient atmosphere of one atmospheric pressure, and the N channel mold TFT224 and the P channel mold TFT225 are completed. The protective coat which consists of silicon nitride film etc. may be prepared on TFT224,225 in order to protect TFT224,225 if needed furthermore.

[0107] The channel fields 215n and 215p of the above TFT224,225 consist of two or more crystal growth fields which are the columnar crystal groups which consist of field bearing where plurality differs, and carried out crystal growth from two or more different directions, and contain the boundary section with which two or more crystal growth fields which carried out crystal growth from two or more different directions collide further one or more. therefore, every -- the crystallized state in the channel field of TFT224,225, i.e., the condition of a domain, is

equalized -- making -- as a result -- every on a substrate -- since the property between TFT(s) is equalized, there is little property dispersion between TFT(s) and the highly efficient semiconductor device which has the stable property can be offered.

[0108] Moreover, in the CMOS structure circuit produced according to the manufacture approach of the semiconductor device of this 2nd operation gestalt, each electric field effect mobility of TFT was [in N type TFT] as high as 120-150cm²/Vs at 210-250cm²/Vs and P type TFT, and the threshold electrical potential difference showed about -1.5V and a very good property about 1V and with P type TFT with N type TFT. Moreover, property dispersion which had become a problem conventionally was able to hold down with electric field effect mobility, and was able to hold down on the threshold electrical potential difference about **10% to about (using the size of 400x320mm as a substrate result of the 200 measurement in a substrate) **0.2V. Moreover, even if it performed durability test by repeat measurement, bias, or temperature stress, property degradation was hardly seen, but compared with the conventional thing, it was very reliable, and the stable circuit property was shown.

[0109] As mentioned above, although the 1st and 2nd operation gestalt explained concretely the semiconductor device and its manufacture approach of this invention, this invention is not limited to these 1st and 2nd operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0110] For example, as mask shape, although the square was used with the above-mentioned 1st and 2nd operation gestalt as it is circular as an example of representation, a polygon, a rectangle, etc. are sufficient, and at least, if it forms in a crystal growth field which is different in the inside of a channel field, this effect of the invention will be obtained.

[0111] Moreover, in the above-mentioned 1st and 2nd operation gestalt, by the approach of applying the ethanol solution which melted nickel salt for the amorphous silicon film front face as an approach of introducing nickel as a

catalyst element, or the approach of forming a nickel thin film by the sputtering method, alternatively, nickel minute amount addition was performed and the approach of carrying out crystal growth was adopted. However, the introductory approach of nickel may use water simply and may be made to diffuse it from SiO₂ film by using an SOG (spin-on glass) ingredient as a solvent as a solvent which can use the other various technique, for example, melts nickel salt. Moreover, the approach of carrying out thin film formation with vacuum deposition or plating, the approach of introducing directly by the ion doping method, etc. can be used. Furthermore, as an impurity metallic element which promotes crystallization, even if it uses cobalt, iron, palladium, platinum, copper, and gold in addition to nickel, the same effectiveness is acquired. Moreover, as a 15 group element for carrying out gettering of the nickel, nitrogen, an arsenic, antimony, and a bismuth may be used in addition to Lynn.

[0112] Moreover, although the heating method by the excimer laser exposure which is a pulse laser was used with the above-mentioned 1st and 2nd operation gestalt as a means to promote further the crystallinity of the crystalline silicon film crystallized with nickel, the processing same also by the other laser (for example, continuous-oscillation Ar laser etc.) is possible. Moreover, a strong light equivalent to laser light which it is made to go up for a short time to 1000-1200 degrees C (a silicon monitor's temperature) instead of laser light using infrared light or a flash lamp, and heats a sample, such as so-called RTA (rapid thermal annealing), RTP (rapid thermal process), etc., may be used.

[0113] Furthermore, with the above-mentioned above-mentioned 1st operation gestalt, although the active-matrix mold substrate for liquid crystal displays was explained as a semiconductor device, a semiconductor device may apply this invention to semiconductor devices, such as driver built-in the component write-in [optical] and display device which used not only this but a contact type image sensor, a driver built-in thermal head, the organic system EL, etc. as the light emitting device, and a three-dimensional IC. By using this invention, high performance-ization of improvement in the speed of these semiconductor

devices, high-resolution-izing, etc. is realized.

[0114]

[Effect of the Invention] As mentioned above, according to the semiconductor device and its manufacture approach of this invention, the high performance component of the stable property with little property dispersion can be realized, and a highly efficient semiconductor device with a still higher degree of integration is obtained in a simple manufacture process so that clearly. Moreover, in the production process, the rate of an excellent article can be improved greatly, and low cost-ization of goods can be attained. When the semiconductor device of this invention is especially applied to a liquid crystal display, while being able to improve the switching characteristic of TFT for pixel switching required of a active-matrix substrate, the driver monolithic mold active-matrix substrate which high-performance-izing and high integration which are required of TFT which constitutes the circumference drive circuit section can be performed, and constitutes the active-matrix section and the circumference drive circuit section on the same substrate can be realized, and modular miniaturization, high-performance-izing, and low-cost-ization can be attained.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) - (C) is the top view showing the outline of the making process of TFT on the active-matrix substrate of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 2] Drawing 2 (A) and (B) are the top views showing the outline of the making process of TFT following drawing 1 (C).

[Drawing 3] Drawing 3 (A) - (F) is the making process Fig. of the above-mentioned semiconductor device.

[Drawing 4] Drawing 4 (A) - (C) is the top view showing the outline of the making process of TFT of the semiconductor device of the 2nd operation gestalt of this invention.

[Drawing 5] Drawing 5 (A) - (G) is the making process Fig. of the above-mentioned semiconductor device.

[Drawing 6] Drawing 6 is the top view of the important section at the time of forming the channel field of a hexagon configuration.

[Drawing 7] Drawing 7 is the top view of the important section at the time of forming the channel field of a square configuration.

[Drawing 8] Drawing 8 is the top view of the important section at the time of forming the channel field of a circle configuration.

[Drawing 9] Drawing 9 is the top view showing the outline of the important section of the conventional semiconductor device.

[Description of Notations]

101 -- Glass substrate

102 -- Substrate film,

103,203 -- a-Si film,

103a, 203a -- Crystalline silicon film,

103b, 203b -- Crystalline silicon film,

103c, 203c -- Convergent point,

104,204 -- Mask,

105,205 -- Nickel,
106,206 -- The crystal growth direction,
107,207 -- Lynn,
108,208 -- The direction of gettering of nickel,
109,209N, 209P -- Island-shape crystalline silicon film,
110 -- Laser light,
111,211 -- Gate dielectric film
113,213 -- Gate electrode,
114 -- Anodic oxidation layer,
115,215n, 215p -- Channel field,
116,216n, 216p -- Source field,
117,217n, 217p -- Drain field,
118,218 -- Laser light,
119,219 -- Interlayer insulation film,
120 -- Source electrode,
121 -- Pixel electrode,
123 -- TFT,
201 -- Quartz-glass substrate,
212 -- Oxide film (gate dielectric film),
222 -- An electrode and wiring,
224 -- N channel mold TFT,
225 -- P channel mold TFT.

[Translation done.]

* NOTICES *

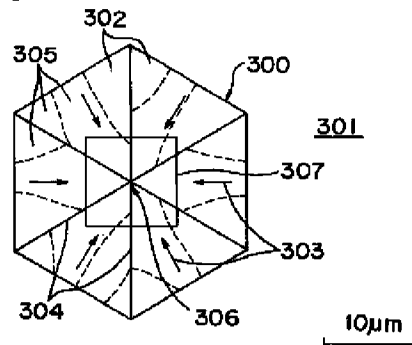
**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

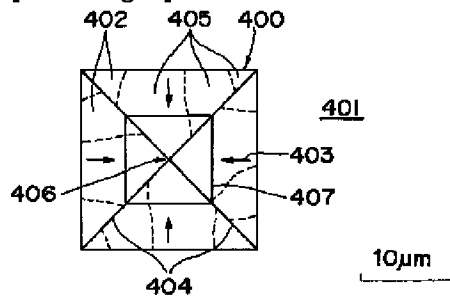
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

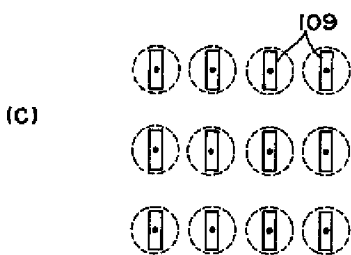
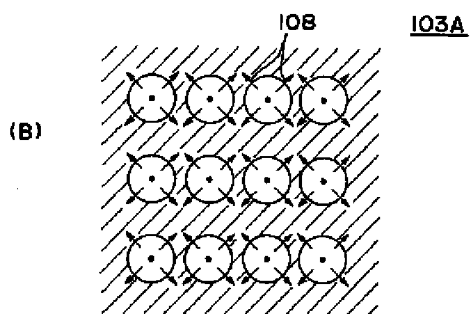
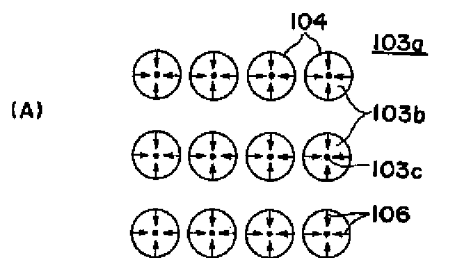
[Drawing 6]



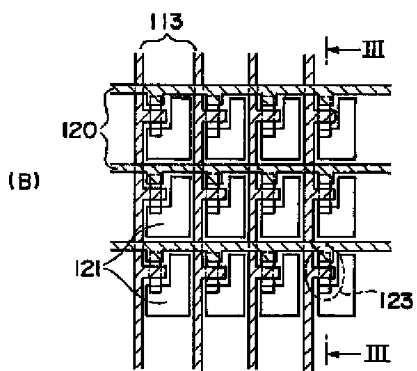
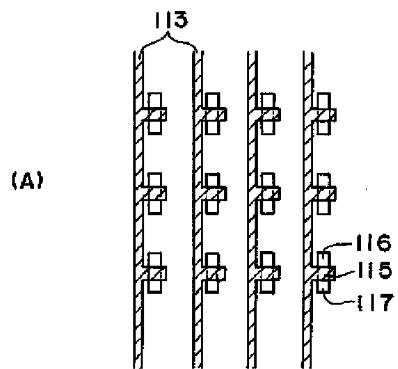
[Drawing 7]



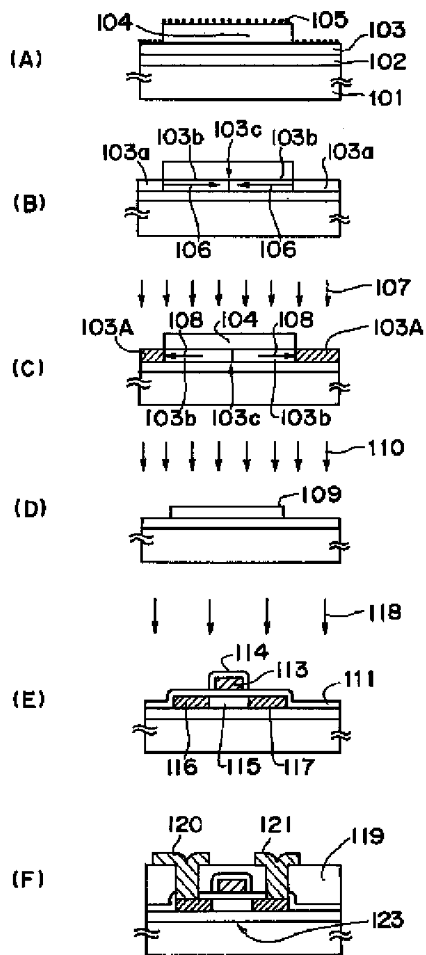
[Drawing 1]



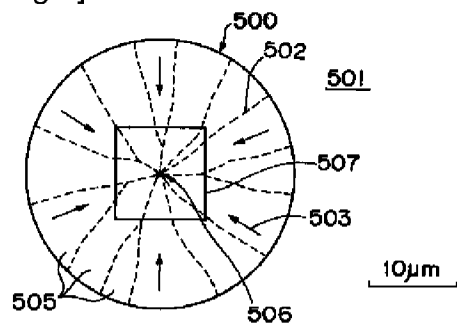
[Drawing 2]



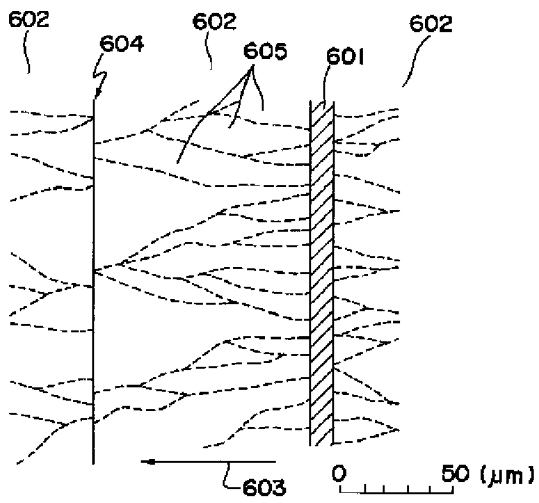
[Drawing 3]



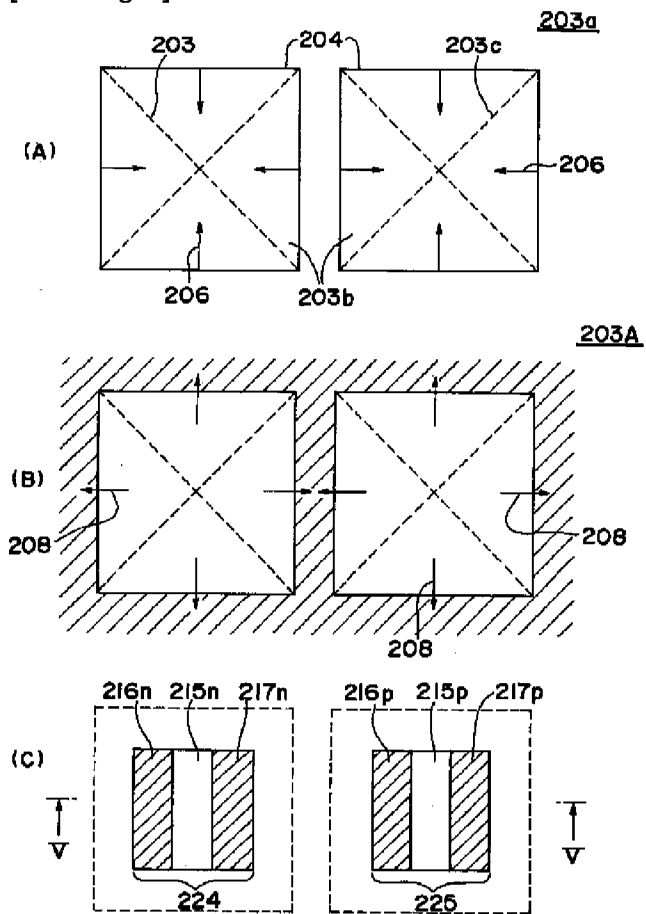
[Drawing 8]



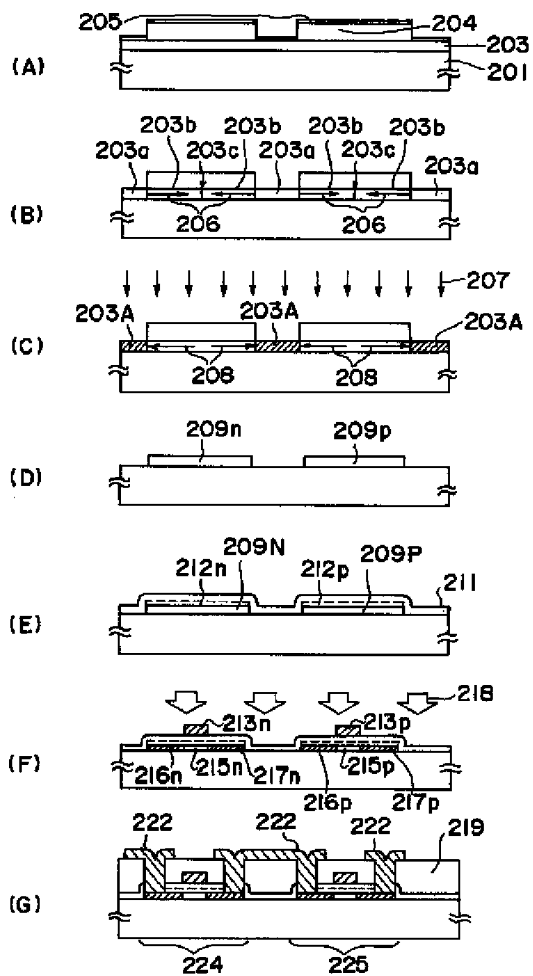
[Drawing 9]



[Drawing 4]



[Drawing 5]



[Translation done.]